



IFW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/709,612	
	Filing Date	5/18/2004	
	First Named Inventor	En-Hsiang Yeh	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	MTKP0064USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		
SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT		
Firm or Individual name	Winston Hsu, Reg. No.: 41,526	
Signature		
Date	6/25/2004	

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/709,612
Filing Date	5/18/2004
First Named Inventor	En-Hsiang Yeh
Examiner Name	
Art Unit	
Attorney Docket No.	MTKP0064USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit
Account
Number
Deposit
Account
Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	

SUBTOTAL (1) (\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims		Extra Claims		Fee from below		Fee Paid	
Independent Claims		-20** =		X		=	
Multiple Dependent		-3** =		X		=	

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

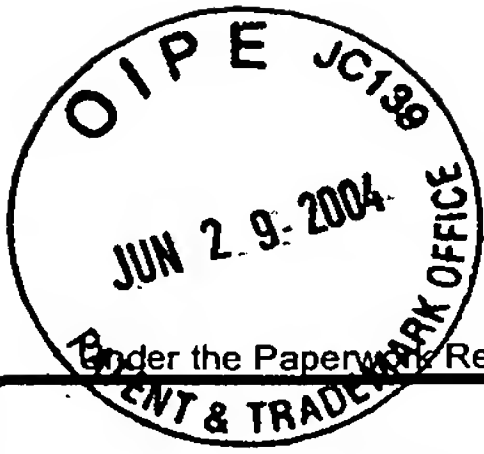
SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	6/25/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

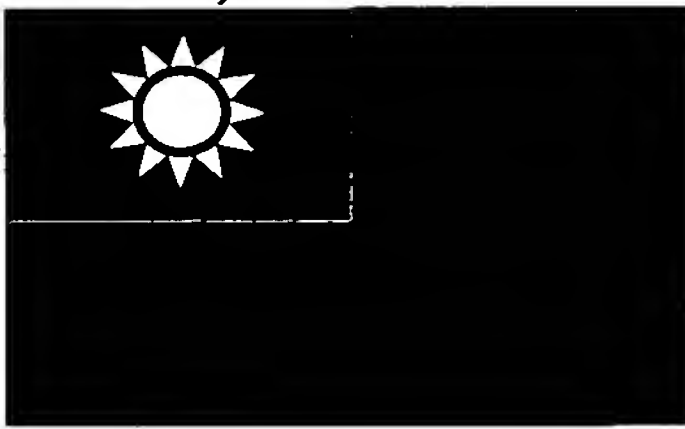
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092113644	Taiwan R.O.C	05/20/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 20 日
Application Date

申請案號：092113644
Application No.

申請人：聯發科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 21 日
Issue Date

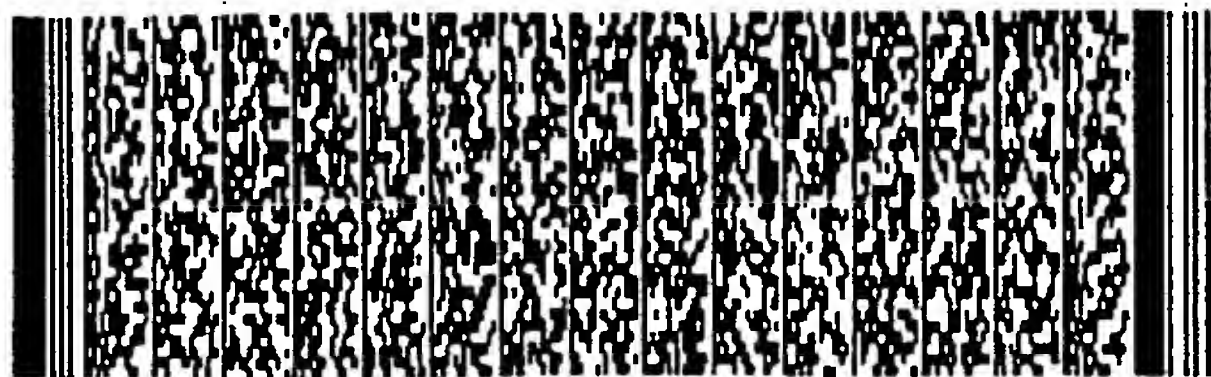
發文字號：09220729750
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多頻帶低雜訊放大器
	英文	MULTI-BAND LOW NOISE AMPLIFIER
二、 發明人 (共1人)	姓名 (中文)	1. 葉恩祥
	姓名 (英文)	1. Yeh, En-Hsiang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 關東路二0九號五樓
	住居所 (英文)	1. 5F, No. 209, Kuan-Tung Rd., Hsin-Chu City Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 聯發科技股份有限公司
	名稱或姓名 (英文)	1. MediaTek Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai



四、中文發明摘要 (發明名稱：多頻帶低雜訊放大器)

本發明提供一種操作於複數個頻帶模式下的多頻帶低雜訊放大器 (Multi-band Low Noise Amplifier)，其包含有複數個輸入級放大器以及一輸出級放大器。每一輸入級放大器對應於一頻帶模式，包含有一接收端，用來接收該對應之頻帶模式下的一輸入訊號。輸出級放大器包含有至少一最低阻抗端，其係為該多頻帶低雜訊放大器之最低阻抗點，該輸出級放大器係與該複數個輸入級放大器於該至少一最低阻抗端之處相互連接；以及一輸出端，用來輸出經該輸出級放大器處理後之該輸入訊號。

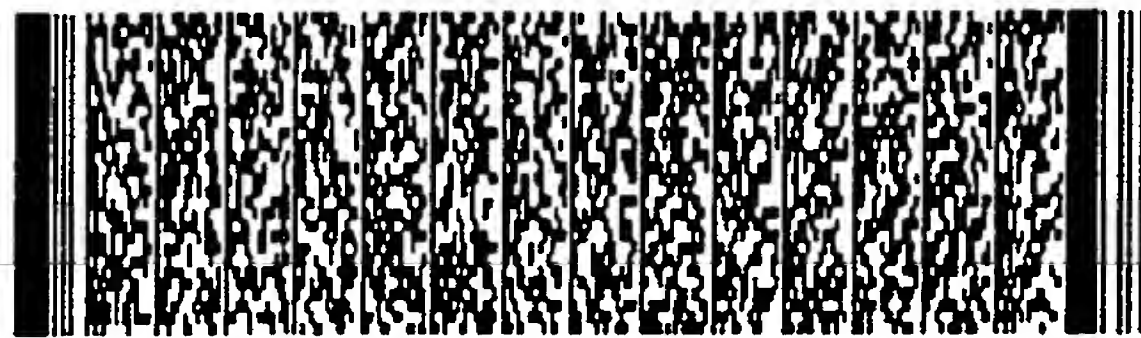
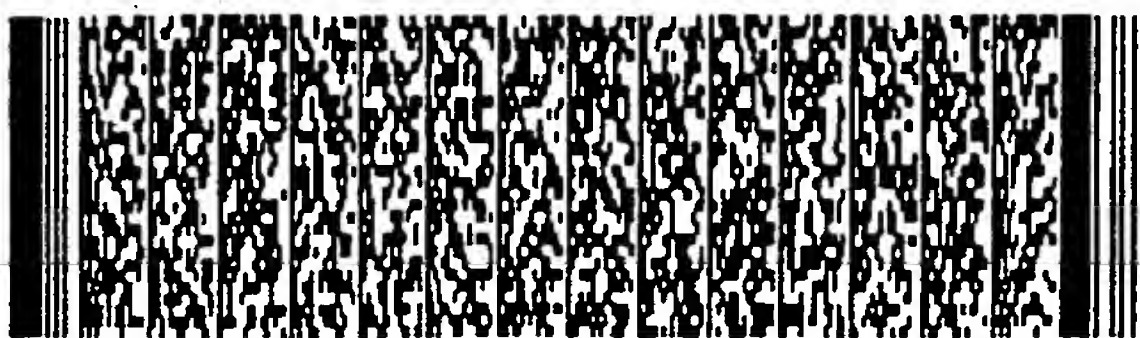
五、(一)、代表圖：第四圖

(二)、本案代表圖之元件代表符號簡單說明

36 多頻帶低雜訊放大器 38 第一接收端

六、英文發明摘要 (發明名稱：MULTI-BAND LOW NOISE AMPLIFIER)

A multi-band low noise amplifier being operated in a plurality of band modes includes a plurality of input amplifiers and an output amplifier. Each input amplifier corresponding to a specific band mode includes a receiving port for receiving an input signal of the band mode. The output amplifier includes an output port and at least a lowest-impedance point that has the



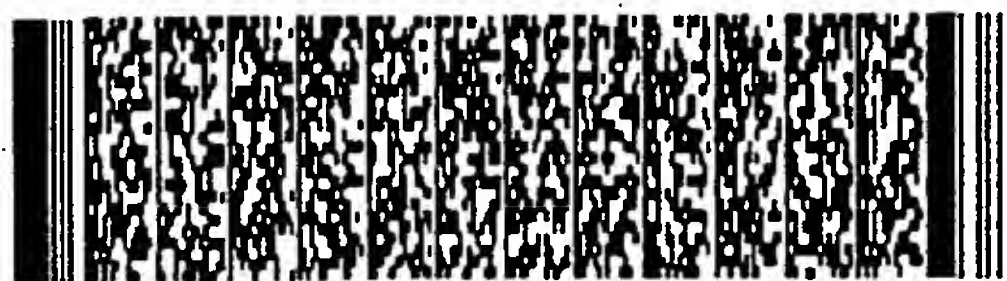
四、中文發明摘要 (發明名稱：多頻帶低雜訊放大器)

40 第二接收端

42 輸出端

六、英文發明摘要 (發明名稱：MULTI-BAND LOW NOISE AMPLIFIER)

lowest impedance of the multi-band low noise amplifier. The output amplifier is cascoded with the plurality of input amplifiers at the lowest-impedance point.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種可操作於複數個頻帶模式下的多頻帶低雜訊放大器及相關方法，尤指一種利用將一輸出級放大器與複數個輸入級放大器以串疊 (Cascode) 之方式於該多頻帶低雜訊放大器之至少一最低阻抗點處相互連接，降低該多頻帶低雜訊放大器於連接處之阻抗值，避免訊號衰減之效應。

先前技術

從目前無線通訊系統的發展趨勢中，不難發現未來的無線通訊系統環境，將會是由數個標準系統共存構成，例如一支行動電話不但能使用 GSM900、DCS1800、以及 PCS1900，也可以直接使用 AMPS、PHS等，甚至未來的 3G及 4G等無線通訊的技術。甚者，整合多媒體服務等應用，以大量提昇通訊設備的功能性及擴充性，亦成為必然的趨勢。也因此，在無線通訊終端設備中的各個元件，也必須具有能處理符合各種標準之訊號的功能，以低雜訊放大器 (Low Noise Amplifier, LNA) 而言，可操作於複數個不同的頻帶模式下的多頻帶低雜訊放大器 (Multi-band Low Noise Amplifier)，在今日要求多工、多頻、多模、低雜訊、與高效率發展的趨勢下，已是今日無線通訊系統之接收器 (Receiver) 中不可或缺的

五、發明說明 (2)

重要元件。

多頻帶低雜訊放大器之主要的目的是提供接收來自天線之訊號所需的增益與靈敏度。由於多頻帶低雜訊放大器設置於接收器的前端，用來處理通常來說為非常微弱的訊號，因此多頻帶低雜訊放大器的功能表現，如雜訊指數 (Noise Figure)、射頻增益 (RF Gain)、及非線性 (Non-linearity) 等的好壞都將決定該接收器的整體表現。請參閱圖一，圖一為一無線通訊系統之接收器 10 的功能方塊圖。本實施例所述之接收器 10 主要是應用於 0.9GHz 到 10GHz 的無線通訊系統為主，因為現今的商用無線通訊系統，例如：GSM、藍芽 (Blue-tooth)、無線區域網路 (WLAN) 等，其操作頻率大都落在這個範圍內。接收器 10 包含有一多頻天線 12、一組濾波器 14、一多頻帶低雜訊放大器 16、一混波裝置 18、一區域震盪產生器 (Local Oscillator Generator) 20、以及一訊號處理模組 22。多頻天線 12 能接收不同頻率的射頻訊號 RF，在本實施例中分成兩種頻帶模式：高頻帶模式及低頻帶模式。在本實施例中，由多頻天線 12 接收下來的射頻訊號 RF 又可分為高射頻訊號 HRF 與低射頻訊號 LRF，分別經過高頻帶濾波器 14H 及一低頻帶濾波器 14L 作一次處理後，分別產生一高頻帶輸入訊號 HSI 及一低頻帶輸入訊號 LSI，此高頻帶輸入訊號 HSI 及低頻帶輸入訊號 LSI 再經過多頻帶低雜訊放大器 16 分別以一預設之增益倍率加以放

五、發明說明 (3)

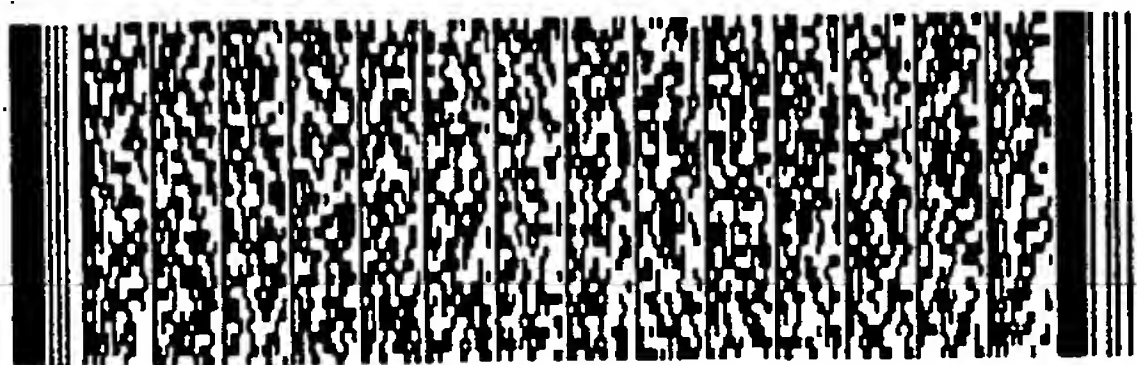
大。從多頻帶低雜訊放大器 16 輸出的信號，再利用混波裝置 18 配合區域震盪產生器 20 之運作將此輸出之訊號降頻至一特定頻率，繼續送至訊號處理模組 22 作進一步的完成中頻放大、訊號解調 (Demodulation)、鏡像消除等運作。

請繼續參閱圖一，在習知技術中，此多頻帶低雜訊放大器 16 其實係為兩個單頻帶之低雜訊放大器的組合，區分為一高頻帶低雜訊放大器 16H 以及一低頻帶低雜訊放大器 16L，分別接收及處理高頻帶輸入訊號 HSI 及低頻帶輸入訊號 LSI，接著再將高頻帶低雜訊放大器 16H 與低頻帶低雜訊放大器 16L 兩者的輸出端相互連接，完成習知之多頻帶低雜訊放大器 16。請參閱圖二，圖二為圖一習知多頻帶低雜訊放大器 16 之一實施例之功能方塊圖，多頻帶低雜訊放大器 16 包含高頻帶低雜訊放大器 16H 以及低頻帶低雜訊放大器 16L，每一低雜訊放大器皆可依據所接收之輸入訊號的大小，調整內部設置之偏壓 (Bias) 值以分別操作於複數個不同的增益模式下。同一時間內，此多頻帶低雜訊放大器 16 只能操作於一頻帶模式之下，舉例而言，若接收進來的是高射頻訊號 HRF，經過高頻帶濾波 14H 之處理後，產生的高頻帶輸入訊號 HSI 會傳送至高頻帶低雜訊放大器 16H，使其開始運作，同時低頻帶低雜訊放大器 16L 則不予運作。高頻帶低雜訊放大器 16H 包含一高頻段接收端 Inh、電晶體 Qh1-Qh3、可調整之三偏壓

五、發明說明 (4)

(Bias) Bh1-Bh3、及一高頻段輸出端 OUTh。高頻段接收端 Inh 用來接收高頻帶輸入訊號 HSI，而電晶體 Qh1-Qh3 配合三偏壓 Bh1-Bh3 之相對大小關係，於數個不同的增益模式下將高頻帶輸入訊號 HSI 以一對應之增益倍率加以放大，最後由多頻帶低雜訊放大器 16 之一輸出端 OS 輸出放大後的高頻帶輸入訊號 HSI。若需處理的是低頻帶輸入訊號 LSI，則低頻帶低雜訊放大器 16L 則處於操作狀態，同時高頻帶低雜訊放大器 16H 則關閉。如同上述高頻帶低雜訊放大器 16H 的構造與運作原理，低頻帶低雜訊放大器 16L 亦包含一低頻段接收端 Inl、電晶體 Ql1-Ql3、可調整之三偏壓 (Bias) Bl1-Bl3、及一低頻段輸出端 OUTl，可經由調整切換偏壓 Bl1-Bl3 之值使其操作於不同的增益模式下，並最後由多頻帶低雜訊放大器 16 之輸出端 OS 輸出處理後的低頻帶輸入訊號 LSI。

請注意，首先，習知實施例將高頻帶低雜訊放大器 16H 之高頻段輸出端 OUTh 連接至低頻帶低雜訊放大器 16L 之低頻段輸出端 OUTl，以整合成具有單一輸出 (輸出端 OS) 之多頻帶低雜訊放大器 16，而連接點 (OUTh、OUTl) 係幾乎等同於多頻帶低雜訊放大器 16 之輸出端 OS。再者，實際實施時，並不限定於上述兩種 (高/低) 頻帶模式，頻帶模式的數目可視實際需求增加，同時，處理單一頻帶模式之低雜訊放大器也必須隨之對應增加，亦即，無論低雜訊放大器的數量為何，在習知技術中，係將這些



五、發明說明 (5)

(單一頻帶)低雜訊放大器的輸出端相互連接，即整合成單一輸出之多頻帶低雜訊放大器。然而，每一個別之低雜訊放大器的輸出端皆為該低雜訊放大器中的高阻抗 (Impedence) 點，在將所有低雜訊放大器的輸出端相互連接後，此連接點的阻抗值亦相當之高。此時請同時參閱圖一及圖二，於圖二高頻帶低雜訊放大器 16H 中之高頻段輸出端 OUT_h ，其之阻抗值主要由一內置阻抗 Z_{Lh} 貢獻，同理，低頻帶低雜訊放大器 16L 中之低頻段輸出端 OUT_l 之阻抗值主要來自另一內置阻抗 Z_{Ll} ，內置阻抗 Z_{Lh} 、 Z_{Ll} 皆具有較高之阻抗值，使得圖一多頻帶低雜訊放大器 16 之單一輸出端 OS 具有一高阻抗值。請注意，於圖一之接收器 10 中，由於多頻帶低雜訊放大器 16 之單一輸出端 OS 處即相當於複數個 (二個) 低雜訊放大器的輸出端匯接之所在，因而存在一等效之寄生電容 (Parasitic Capacitor) C_p ，使得輸出端 OS 的高阻抗 (合併寄生電容 C_p 的影響) 會造成輸出訊號的嚴重衰減，並可能影響到多頻帶低雜訊放大器 16 的頻率響應表現。

發明內容

因此本發明的主要目的在於一種操作於複數個頻帶模式下的多頻帶低雜訊放大器及相關方法，其利用將一輸出級放大器與複數個輸入級放大器，於此多頻帶低雜訊放大器之最低阻抗點處相互連接，以解決上述問題。

五、發明說明 (6)

在本發明中，我們另提出一多頻帶差動 (Differential) 放大器之技術特徵，其係利用將本發明二組具有本發明技術特徵之多頻帶低雜訊放大器加以組合，完成差動模式 (Differential Mode) 下之放大器技術特徵。本發明之多頻帶差動放大器包含有複數個輸入級放大器與二輸出級放大器 (正向輸出級放大器及負向輸出級放大器)，輸入級放大器與輸出級放大器之間的連接處皆為此多頻帶差動放大器之複數個最低阻抗點，以避免受到連接處之寄生電容的嚴重影響，而造成輸出訊號的衰減，並由於差動模式之特性，使得本發明之差動放大器另具有不易受到干擾，及較寬廣之頻率響應等的優點。

本發明之目的為提供一種操作於複數個頻帶模式下的多頻帶低雜訊放大器 (Multi-band Low Noise Amplifier)，其包含有複數個輸入級放大器，分別對應於該複數個頻帶模式，每一輸入級放大器包含有一接收端，用來接收該對應之頻帶模式下的一輸入訊號；以及為每一輸出級放大器，其包含有至少一最低阻抗端，其係為該多頻帶低雜訊放大器之最低阻抗點，該輸出級放大器係與該複數個輸入級放大器之最低阻抗端之處理後之該輸入訊號。

五、發明說明 (7)

本發明之另一目的為提供一種用於一多頻帶低雜訊放大器中，該多頻帶低雜訊放大器包含複數個輸入級放大器，該複數個輸入級放大器分別對應於複數個輸入訊號；將該輸出級放大器與該複數個輸入級放大器之至少一最低阻抗點處相連接；以及使用該輸出級放大器處理並輸出該複數個輸入訊號。

本發明之又一目的為提供一種操作於複數個頻帶模式下的多頻帶差動放大器 (Multi-band Differential Amplifier)，其包含有複數個輸入級放大器，包含複數個正向 (Positive) 輸入級放大器以及複數個負向 (Negative) 輸入級放大器，每一頻帶模式係對應於一正向輸入級放大器以及一負向輸入級放大器，每一正向輸入級放大器包含有一正向接收端，用來自接收該對應之正向輸入訊號；每一負向輸入級放大器包含有一負向接收端，用來自接收該對應之負向輸入訊號；以及一正向輸出級放大器，包含至少一正向最低阻抗端，該正向輸出級放大器係與該複數個正向輸入級放大器以串疊 (Cascode) 之方式，於該至少一正向最低阻抗端處相連接，用來輸出經處理後之該正向

五、發明說明 (8)

輸入訊號；以及一負向輸出級放大器，包含至少一負向最低阻抗端，該負向輸出級放大器係與該複數個負向輸入級放大器以串疊之方式，於該至少一負向最低阻抗端處相連接，用來輸出經處理後之該負向輸入訊號。

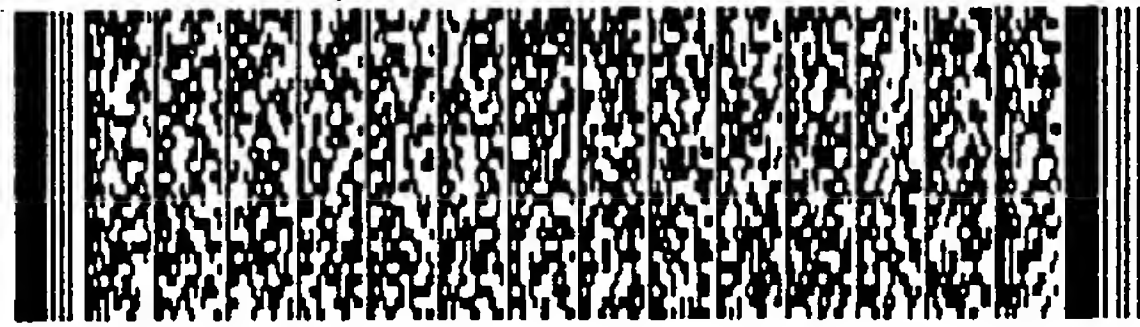
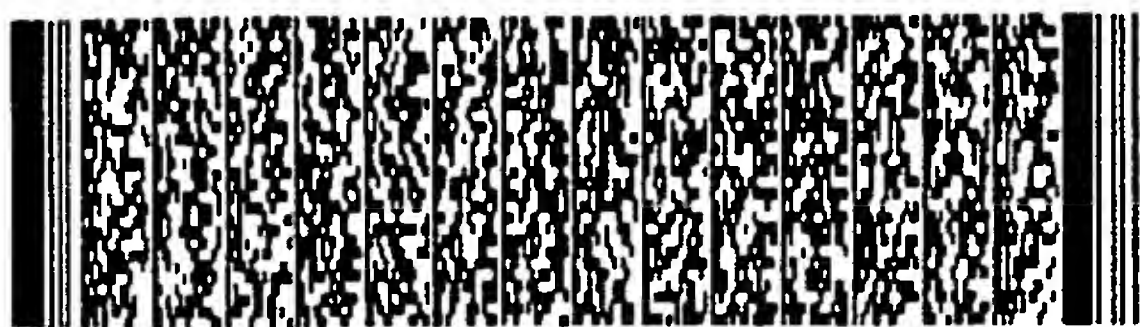
實施方式

於本發明中，我們將多頻帶低雜訊放大器分為單端模式 (Single-ended Mode) 與差動模式 (Differential Mode) 兩種型式加以說明，其中差動模式係奠基於單端模式下所揭露之本發明之技術特徵，並具備差動模式下之訊號處理所特有之優點。此外，本發明之技術特徵的基本架構為，將一多頻帶低雜訊放大器視為兩級放大器串疊 (Cascode) 連接之組合結果，兩級放大器分別為輸入級放大器及輸出級放大器。為接收並處理複數個頻帶模式下的訊號，一多頻帶低雜訊放大器包含有複數個輸入級放大器，分別對應於此複數個頻帶模式，而這複數個輸入級放大器皆連接至一 (共用之) 輸出級放大器，以整合成單一輸出之多頻帶低雜訊放大器。請參閱圖三，圖三為本發明一多頻帶低雜訊放大器 26 之一實施例的示意圖。多頻帶低雜訊放大器 26 包含一輸出級放大器 26A 以及複數個輸入級放大器 26B1、26B2、...、26Bn 等。輸入級放大器 26B1、26B2、...、26Bn 的數量並不限定，可為兩個或是更多個，視需要處理的頻帶模式的數目而

五、發明說明 (9)

定。此複數個輸入級放大器分別對應於複數個頻帶模式，例如第一輸入級放大器 26B1 即是對應於一第一頻帶模式（高頻），第二輸入級放大器 26B2 對應於一第二頻帶模式（低頻），依此類推。而於同一時間內，此多頻帶低雜訊放大器 26 只能操作於一頻帶模式之下，因此只有一對應於此頻帶模式之輸入級放大器及輸出級放大器能運作。舉例而言，若操作於第一頻帶模式之下，一第一輸入訊號 SI1 會由第一輸入級放大器 26B1 所接收，同時其餘的輸入級放大器 26B2、...、26Bn 等則不予運作。同理，當多頻帶低雜訊放大器 26 操作於第二頻帶模式時，只有第二輸入級放大器 26B2 會接收並處理一第二輸入訊號 SI2，其餘的輸入級放大器 26B1、26B3...、26Bn 等則不運作。

輸出級放大器 26A 包含一輸出端 32，此輸出端 32 亦為多頻帶低雜訊放大器 26 之單一輸出端 32。輸出級放大器 26A 係由電晶體 Q2、Q3、及可調整之二偏壓 B2、B3 所組成，第一輸入級放大器 26B1 包含一第一接收端 28，用來接收第一頻帶模式下的第一輸入訊號 SI1，第一輸入級放大器 26B1 另包含一電晶體 Q1、可調整之偏壓 B1、以及一置電阻 RB1，用來處理接收進來的第一輸入訊號 SI1。其他輸入級放大器 26B2、...、26Bn 等和第一輸入級放大器 26B1 具有相同之技術特徵，可比照上述第一輸入級放大器 26B1 之架構。例如，第二輸入級放大器 26B2 包含



五、發明說明 (10)

一第二接收端 30、一電晶體 Q4、可調整之偏壓 B4、以及一內置電阻 RB2，用來接收並處理第二輸入訊號 SI2。請注意，首先，若將輸出級放大器 26A與第一輸入級放大器 26B1一同視之，則可發現輸出級放大器 26A與第一輸入級放大器 26B1合併後即等同於圖二習知技術中的一個單頻帶之低雜訊放大器（如高單頻帶低雜訊放大器 16H），同理，單獨分別觀察每一輸入級放大器 26B2、...、26Bn等與輸出級放大器 26A都自成一處理單一頻帶模式之低雜訊放大器。由此可看出，本發明之基本技術特徵係將一習知（單頻帶）低雜訊放大器分成為兩級：輸入級及輸出級，複數個輸入級放大器對應於複數個不同的頻帶模式，並全部連接至一共用的輸出級放大器，以整合成多頻帶低雜訊放大器 26的單一輸出。如此一來，可大幅降低多頻帶低雜訊放大器 26所佔的電路面積，以降低研發及生產成本。

再者，輸入級及輸出級放大器之間是以串疊（Cascode）的方式相互連接，且連接處係為該多頻帶低雜訊放大器之最低阻抗點。請繼續參閱圖三，首先單獨觀察輸出級放大器 26A與第一輸入級放大器 26B1，兩者係該多頻帶低雜訊放大器 26之最低阻抗點 LP相互連接，由於線路之匯接處會存在一等效之寄生電容 Cp，由於節點 LP具有最低之阻抗值，與寄生電容 Cp合併組成 RC低通濾波所產生的信號衰減量減至最低，此項技術特徵可類

五、發明說明 (11)

推適用至其他所有輸入級放大器 26B與輸出級放大器 26A 的串疊連接。在實際實施時，本實施例中所使用之電晶體 Q1-Q4 的型式並不限定，可以為雙載子連接電晶體 (bipolar junction transistor, BJT)、金屬氧化半導體 (metal-oxide semiconductor, MOS) 電晶體、甚至其他型式的電晶體。如圖三所示，若本實施例之電晶體 Q1-Q4 以雙載子電晶體 BJT 完成，每一輸入級放大器 26B1、26B2、...、26Bn 之接收端則設計為雙載子電晶體之基極 (base) (如在第一輸入級放大器 26B1 中，第一接收端 28 為雙載子電晶體 Q1 之基極 (Base)，其餘輸入級放大器 26B2、...、26Bn 亦然)，而於輸出級放大器 26A 中，輸出端 32 係為雙載子電晶體 Q2 之集極 (Collector)，最低阻抗端 LP 則為二雙載子電晶體 Q2、Q3 之射極 (Emitter)，並連接至雙載子電晶體 Q1、Q4 等之集極。除此之外，圖三實施例之輸出級放大器 26A 另包含一負載 ZL，負載 ZL 可為一電阻式負載或電感式負載，另外，在每一輸入級放大器 26B 中皆包含一負迴授電路 ZE，負迴授電路 ZE 可為一電阻式負迴授電路或是電感式負迴授電路，用來達成阻抗匹配、提高線性度 (Linearity) 與增大頻寬的功能。

請參閱圖四，圖四為本發明一多頻帶低雜訊放大器 36 之另一實施例的示意圖。本實施例之架構近似於圖三之實施例，但較為複雜，也擁有更多優點。本實施例之多頻帶低雜訊放大器 36 亦包含一輸出級放大器 36A 以及複

五、發明說明 (12)

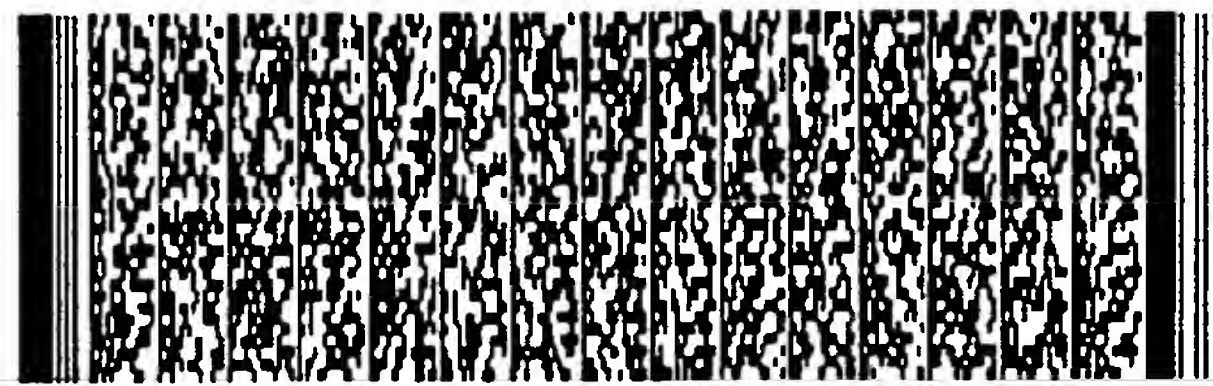
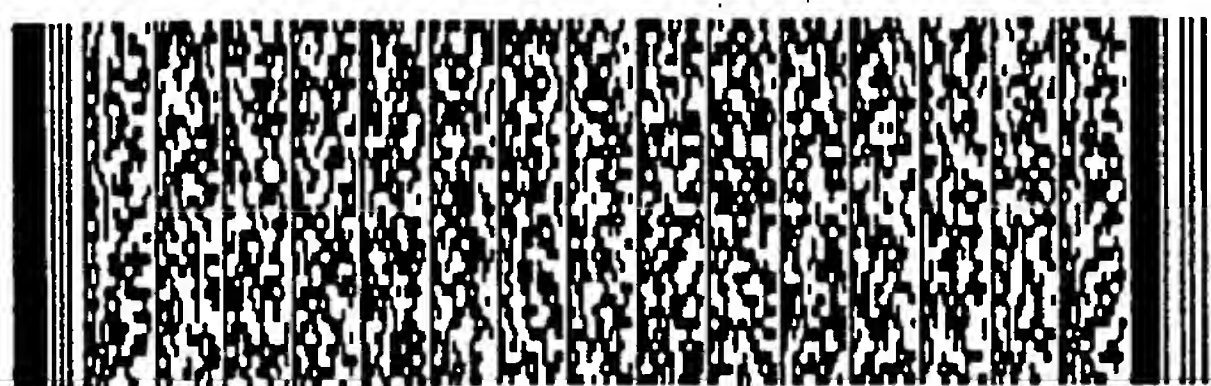
數個輸入級放大器 36B1、36B2、...、36Bn，此複數個輸入級放大器分別對應於複數個頻帶模式，例如第一輸入級放大器 36B1對應於一第三頻帶模式（高頻），利用一第一接收端 38接收並處理一第三輸入訊號 SI3，第二輸入級放大器 36B2對應於一第四頻帶模式（低頻），可使用一第二接收端 40接收處理一第四輸入訊號 SI4，請注意，實際上輸入級放大器 36B1、36B2、...、36Bn的數量並不限定，可為兩個或是更多個，視需要處理的頻帶模式的數目而定。於同一時間內，此多頻帶低雜訊放大器 36只能操作於一頻帶模式之下，因此只有一對應於此頻帶模式之輸入級放大器及輸出級放大器能夠運作。輸出級放大器 36A包含一輸出端 42，此輸出端 42亦為多頻帶低雜訊放大器 36之單一輸出端 42。將輸出級放大器 36A與二輸入級放大器 36B1、36B2一同觀之，電晶體 Q4-Q9與可調整之四偏壓 B5-B8共同達成訊號放大及不同增益模式之切換等功能。

如上面所述，本實施例之多頻帶低雜訊放大器 36除了能操作於不同的頻帶模式之下，亦能運作於不同的增益模式中。舉例而言，若將本實施例設計成兩種增益模式：高增益模式及低增益模式，並以運作第一輸入級放大器 36B1與輸出級放大器 36A為例，當偏壓 B6大於偏壓 B7，此時（高頻之）第三輸入訊號 SI3經電晶體 Q4、Q5、Q6、Q7放大，並輸出至輸出端 42，此時大部分的第三輸

五、發明說明 (13)

入訊號 SI3 會被處理並傳送輸出端 42 輸出，多頻帶低雜訊放大器 36 係處於高增益模式下；相反地，當偏壓 B7 大於偏壓 B6，大部分的第三輸入訊號 SI3 經電晶體 Q4、Q8 分流至電晶體 Q8 之集極，只有少部分的第三輸入訊號 SI3 經電晶體 Q5、Q6 等遞送至輸出端 42，因此，此時多頻帶低雜訊放大器 36 操作於低增益模式下。如此一來，於本實施例中，高增益模式及低增益模式之間的切換可利用偏壓 B7 與偏壓 B6 之間的大小關係決定。請參閱圖五，圖五為圖四實施例之一詳細實施例的示意圖。為強調依據所加偏壓的不同以達成上述二種不同增益模式的切換，圖五實施例揭露了可調整之三偏壓 B5' - B7' 之詳細電路，其餘所有元件的功能及運作原理則與圖四實施例完全相同。三偏壓 B5' - B7' 分別對應至三偏壓裝置 43、44、45。在實際操作時，可將偏壓 B7' 保持在一預設電壓值，只調整切換偏壓 B6' 使之高於或低於偏壓 B7' 即可達成不同增益模式的切換。

回到本發明主要之技術特徵，請回頭參閱圖四，輸出級放大器 36A 與複數個輸入級放大器 36B1、36B2、...、36Bn 之間亦是以串疊的方式相互連接，連接有兩個節點 LP1、LP2，皆為該多頻帶低雜訊放大器 36 之最低阻抗點。若本實施例之電晶體 Q4-Q10 以雙載子電晶體 BJT 完成，最低阻抗端 LP1、LP2 則分別為二雙載子電晶體 Q7、Q6 之射極 (Emitter)。由於兩個具有最低阻抗值



五、發明說明 (14)

的節點 LP1、LP2為線路之匯接處，分別存在一等效之寄生電容 C_{p1} 、 C_{p2} ，但由於節點 LP1、LP2之阻抗值相當的低，與寄生電容 C_{p1} 、 C_{p2} 組成之 RC低通濾波效應造成的信號衰減量減至最低。此外，本實施例之多頻帶低雜訊放大器 36亦包含一負載 ZL及複數個負迴授電路 ZE，負載 ZL可為一電阻式負載或電感式負載，負迴授電路 ZE可為電阻式負迴授電路或是電感式負迴授電路，可用來達成基本之阻抗匹配的功能。

為了避免在不同增益模式下，多頻帶低雜訊放大器 36與前級電路之間（如圖一之濾波器 14）可能發生的阻抗匹配不當，而影響到圖一濾波器 14的響應甚至多頻帶低雜訊放大器 36的效能，如上所述，在圖四（圖五）中所設置的負迴授電路 ZE可用來於不同之增益模式下，將多頻帶低雜訊放大器 36之輸入阻抗能保持定值。若將負迴授電路 ZE以電感式負迴授電路完成，雖具有極值訊號容忍度的高及雜訊低等優點，但由於電感性負迴授電路 ZE所佔的面積過大，仍有成本過高之虞，尤其在圖四實施例中，若所需處理之頻帶模式的數目大幅增加，輸入級放大器 36B的數量也隨之遽增，而每一輸入級放大器 36B需設置一電感性負迴授電路 ZE，如此一來，電感性負迴授電路所帶來之電路成本的問題即可能更加惡化。請參閱圖六，圖六為圖四多頻帶低雜訊放大器 36之另一詳細實施例的示意圖，絕大部分元件的功能及運作原理可

五、發明說明 (15)

參照圖四實施例。在圖六實施例中一共用之負迴授電路 ZEC 的設計下，複數個輸入級放大器 36B 中所有的負迴授電路 ZE 可利用此共用之負迴授電路 ZEC 取代，如此一來，複數個輸入級放大器 36B 只需設置一共用的（電感性）負迴授電路 ZEC 以完成固定輸入阻抗之特性，以最小的電路面積、最經濟的成本考量完成負迴授之功能。

請參閱圖七，圖七為圖六多頻帶低雜訊放大器 36 之另一實施例的示意圖。圖七採用另一種電路設計方式完成負迴授之相關功能。輸出級放大器 36A 與第一輸入級放大器 36B1 之間設置一第一負迴授電路 53（包含一阻抗 ZF1 及一電容 CF1）及一第一開關裝置 51，而輸出級放大器 36A 與第二輸入級放大器 36B2 之間包含一第二負迴授電路 55（包含一阻抗 ZF2 及一電容 CF2）及一第二開關裝置 54，依此類推至其他輸入級放大器 36B3、...、36Bn 與輸出級放大器 36A 之間的負迴授相關裝置之設置。其中第一及第二開關裝置可分別利用一電晶體配上一控制訊號完成。如此一來，在第三頻帶模式下（接收第三輸入訊號 SI3'''），只有輸出級放大器 36A 與第一輸入級放大器 36B1 在運作，則斷開第二開關裝置 54，接通第一開關裝置 51，讓第一負迴授電路 53 完成第三頻帶模式下的負迴授功能，而阻絕其他輸入級放大器 36B2、...、36Bn 的影響。同理，在第四頻帶模式下（接收進第四輸入訊號 SI4'''），斷開第一開關裝置 51，接通第二開關裝置 54，

五、發明說明 (16)

讓第二負迴授電路 55 完成第四頻帶模式下的負迴授功能。經由適當地設計阻抗 $ZF1$ 、電容 $CF1$ ；阻抗 $ZF2$ 、電容 $CF2$ ；...；阻抗 ZFn 、電容 CFn 的大小，即可將多頻帶低雜訊放大器 36 之輸入阻抗保持不變。

請注意，上述圖三至圖七實施例中所使用之電晶體的型式並不限定，可以為雙載子電晶體 (bipolar junction transistor, BJT)、金屬氧化半導體 (metal-oxide semiconductor, MOS) 電晶體、甚至其他型式的電晶體。請參閱圖八，圖八為本發明多頻帶低雜訊放大器 46 之又一實施例的示意圖，其基本架構與工作原理皆與圖四實施例完全相同，惟一之差別在於，前述圖四中所顯示之多頻帶低雜訊放大器 36 是以雙載子電晶體 BJT 完成，而本實施例為以金屬氧化半導體電晶體 MOS 完成本發明之多頻帶低雜訊放大器 46。本實施例中所顯示之輸入端 48、50 分別對應至圖四中之輸入端 38、40，金屬氧化半導體電晶體 $Q11-Q17$ 可分別對應至圖四中之電晶體 $Q4-Q10$ ，可調整之四偏壓 $B9-B12$ 分別對應至圖四中之四偏壓 $B5-B8$ ，最後多頻帶低雜訊放大器 46 之輸出端 52 對應至圖四多頻帶低雜訊放大器 36 之輸出端 42，為金屬氧化半導體電晶體 $Q13$ 之汲極 (Drain)。在保有本發明之技術特徵下，連接節點 $LP3$ 、 $LP4$ 仍為多頻帶低雜訊放大器 46 之最低阻抗端，分別為二金屬氧化半導體電晶體 $Q14$ 、 $Q13$ 之源極 (Source)。如此一來，即使在此兩節點 $LP3$ 、 $LP4$ 分

五、發明說明 (17)

別存在等效之寄生電容 C_{p3} 、 C_{p4} ，本發明於最低阻抗端連接之技術特徵可使得寄生電容 C_{p3} 、 C_{p4} 對信號的衰減量減至最低。此外，將各種不同型式的電晶體混和使用於本發明之多頻帶低雜訊放大器亦包含於本發明之技術特徵。請參閱圖九，圖九為本發明多頻帶低雜訊放大器 76 之再一實施例的示意圖，可視為一混合式 (Mix-Mode) 多頻帶低雜訊放大器 76。於圖九中，輸入級放大器 76B 主要是以金屬氧化半導體電晶體完成，而輸出級放大器 76A 則是以雙載子電晶體 BJT 完成，基本上，整體架構及技術特徵仍等同於上述之圖四至圖八之實施例，本實施例只是強調本發明可以各種不同型式的電晶體混和組成之特性。

接下來描述本發明之另一主要技術特徵：差動模式 (Differential Mode) 下之運作，也就是將上述各實施例之多頻帶低雜訊放大器以多頻帶差動放大器的型式完成。實際上，本發明之多頻帶差動放大器即是將本發明的兩個 (單端模式 (Single-ended Mode)) 之多頻帶低雜訊放大器加以合併使用，其中一個作為正向放大器，另一個作為負向放大器，而真正的輸出訊號即為兩個放大器輸出訊號的差值。該差動放大器之差動性能由正負向兩輸入信號之 180 度相位差之準確性決定，如果輸入信號之 180 度相位不準確，則會貢獻出共模信號 (Common mode signal) 影響差動特性。請參閱圖十，圖十為本發明多頻

五、發明說明 (18)

帶差動放大器 90之一實施例的功能方塊圖。在本實施例中以兩種頻帶模式為例：高頻帶模式及低頻帶模式，簡要說明多頻帶差動放大器 90的技術特徵。多頻帶差動放大器 90仍可視為兩級放大器(輸入級放大器 90B以及輸出級放大器 90A)串疊相連而成，輸入級放大器 90B包含二個正向(Positive)輸入級放大器 90BPH、90BPL以及二個負向(Negative)輸入級放大器 90BNH、90BNL。二正向輸入級放大器又依對應頻帶模式的不同分為一正向高頻帶輸入級放大器 90BPH及一正向低頻帶輸入級放大器 90BPL，分別包含一正向高頻帶接收端 92PH與一正向低頻帶接收端 92PL，用來分別接收一正向高頻帶輸入訊號 SIPH及一正向低頻帶輸入訊號 SIPL。同理，二負向輸入級放大器依對應頻帶模式的不同分為一負向高頻帶輸入級放大器 90BNH及一負向低頻帶輸入級放大器 90BNL，分別包含一負向高頻帶接收端 92NH與一負向低頻帶接收端 92NL，用來分別接收一負向高頻帶輸入訊號 SINH及一負向低頻帶輸入訊號 SINL。多頻帶差動放大器 90又包含一正向輸出級放大器 90AP及一負向輸出級放大器 90AN，正向輸出級放大器 90AP中包含至少一正向最低阻抗端 LPP與一正向輸出端 94P，而正向輸出級放大器 90AP係與上述二個正向輸入級放大器 90BPH、90BPL係以串疊之方式，於正向最低阻抗端 LPP處相連接，而正向輸出端 94P則輸出經處理後之正向輸入訊號 SIPH或 SIPL。負向輸出級放大器 90AN中包含至少一負向最低阻抗端 LPN與一負向輸出端 94N，而

五、發明說明 (19)

負向輸出級放大器 90AN係與上述二個負向輸入級放大器 90BNH、90BNL係以串疊之方式，於負向最低阻抗端 LPN處相連接，而負向輸出端 94N則輸出經處理後之負向輸入訊號 SINH或 SINL。

實際上，本發明之多頻帶差動放大器 90所能處理的頻帶模式不限於上述高/低兩種頻帶模式，無論欲處理的頻帶模式(輸入級放大器 90B)的數量為何，只需將所有正向輸入級放大器 90BP與此一正向輸出級放大器 90AP於正向最低阻抗端 LPP以串疊之方式相連接，並將所有複數個負向輸入級放大器 90BN與負向輸出級放大器 90AN於負向最低阻抗端 LPN以串疊之方式相連，即達成本發明之技術特徵。亦即，若將本實施例中二正向輸入級放大器 90BPH、90BPL與正向輸出級放大器 90AP一同視之，即可等同於上述本發明之任一多頻帶低雜訊放大器(可套用至圖三至圖九中之任一實施例)，同理，本實施例中二負向輸入級放大器 90BNH、90BNL與負向輸出級放大器 90AN可合併視同本發明之任一多頻帶低雜訊放大器，適用圖三至圖九實施例所述之所有技術特徵，且於同一時間內，此多頻帶差動放大器 90只能操作於一頻帶模式之下。請一閱圖十一，圖十一為圖十多頻帶差動放大器 90之一詳細實施例的示意圖，圖十一之實施例即是將兩個圖四之多頻帶低雜訊放大器 36加以組合而成。

五、發明說明 (20)

請注意，於圖十的實施例中，所有的輸入級放大器 90B 無須為同一種架構下的輸入級放大器，同理，所有的輸出級放大器 90A 亦無須為同一種架構下的輸入級放大器，此時，請注意，上述之正向最低阻抗端 LPP 可視為複數個正向輸入級放大器 90BP 與正向輸出級放大器 90AP 電連後，此一整體正向電路中之最低阻抗點，同理，上述之負向最低阻抗端 LPN 可視為複數個負向輸入級放大器 90BN 與負向輸出級放大器 90AN 電連後，此一整體負向電路中之最低阻抗點。如此一來，多頻帶差動放大器 90 即具有本發明於最低阻抗點串疊連結之技術特徵，並由於多頻帶差動放大器 90 是運作於差動模式下，因此較一般單端模式 (Single-ended Mode) 放大器 (如前述圖三至圖九之實施例) 具有許多額外的優點，包含較不容易受到電磁干擾，也較不易干擾其他的電路，在接收器前端 (Front-end) 造成的 IP2 (2nd order Interception Point) 會比較小，進而 DC offset 也可以減小，另外其頻率響應也較一般單端模式放大器寬廣。本發明之多頻帶差動放大器可應用於一無線通訊系統之接收器之中，作為一多頻帶低雜訊差動放大器 (Multi-band Low Noise Differential Amplifier) 使用。

在本發明中，我們提出了一種可操作於複數個頻帶模式下的多頻帶低雜訊放大器及多頻帶低雜訊差動放大器，其利用將一輸出級放大器與複數個輸入級放大器以

五、發明說明 (21)

串疊之方式於該多頻帶低雜訊放大器之於最最低阻抗點處相
互連接，避免習知完成訊低雜帶應用於處理的優勢，減少電路中
值，與器帶多不同器訊號處理的優勢，減少電路中
應放，大頻了中放式下訊號處理的優勢，減少電路中
多出統動模

上所述僅為本發明之較佳實施例，凡依本發明申請之
專利範圍所做之均等變化與修飾，皆應屬本發明專利之
涵蓋範圍。

圖式簡單說明

圖式之簡單說明

圖一為一無線通訊系統之一接收器的功能方塊圖。
圖二為圖一之實施例之功能方塊圖。
圖三為本發明之多頻帶低雜訊放大器之一實施例的示意圖。
圖四為本發明之多頻帶低雜訊放大器之另一實施例的示意圖。
圖五為圖四實施例之一詳細實施例的示意圖。
圖六為圖四多頻帶低雜訊放大器之另一詳細實施例的示意圖。
圖七為圖六多頻帶低雜訊放大器之另一實施例的示意圖。
圖八為本發明多頻帶低雜訊放大器之又一實施例的示意圖。
圖九為本發明多頻帶低雜訊放大器之再一實施例的示意圖。
圖十為本發明多頻帶差動放大器之一實施例的功能方塊圖。
圖十一為圖十多頻帶差動放大器之一詳細實施例的示意圖。

圖式之符號說明



圖式簡單說明

- | | | | |
|----------------|-----------|--------|---------|
| 10 | 接收器 | 12 | 多頻天線 |
| 14 | 濾波器 | | |
| 16、26、36、46、76 | 多頻帶低雜訊放大器 | | |
| 18、98 | 混波裝置 | 20、100 | 區域震盪產生器 |
| 22 | 訊號處理模組 | | |
| 28、38、48、78 | 第一接收端 | | |
| 30、40、50 | 第二接收端 | | |
| 32、42、52、82 | 輸出端 | | |
| 43、44、45 | 偏壓裝置 | | |
| 51 | 第一開關裝置 | 53 | 第一負迴授電路 |
| 54 | 第二開關裝置 | 55 | 第二負迴授電路 |
| 90 | 多頻帶差動放大器 | | |
| 92 | 接收端 | | |
| 94 | 輸出端 | | |

六、申請專利範圍

1. 一種操作於複數個頻帶模式下的多頻帶低雜訊放大器 (Multi-band Low Noise Amplifier)，其包含有：
複數個輸入級放大器，分別對應於該複數個頻帶模式，每一輸入級放大器包含有一接收端，用來接收該對應之頻帶模式下的一輸入訊號；以及
一輸出級放大器，其包含有：
至少一最低阻抗端，其係為該多頻帶低雜訊放大器之最低阻抗點，該輸出級放大器係與該複數個輸入級放大器於該至少一最低阻抗端之處相互連接；以及
一輸出端，用來輸出經該輸出級放大器處理後之該輸入訊號。
2. 如申請專利範圍第1項之多頻帶低雜訊放大器，其中於同一時間內，該多頻帶低雜訊放大器只能操作於一頻帶模式之下，並只有一對應於該頻帶模式之輸入級放大器及該輸出級放大器在運作。
3. 如申請專利範圍第1項之多頻帶低雜訊放大器，其中該輸出級放大器之該輸出端係電連於一負載阻抗，該負載阻抗係為一電感或者一電阻。
4. 如申請專利範圍第1項之多頻帶低雜訊放大器，其另包含複數個負迴授電路，每一負迴授電路係包含一電阻、一電容以及一開關。

六、申請專利範圍

5. 如申請專利範圍第1項之多頻帶低雜訊放大器，其另包含複數個負迴授阻抗，該複數個負迴授阻抗係分別電連於該複數個輸入級放大器之射極端 (Emitter)，每一負迴授阻抗係為一電感或者一電阻。

6. 如申請專利範圍第1項之多頻帶低雜訊放大器，其另包含至少一負迴授電路，該負迴授電路係為該複數個輸入級放大器所共用，並電連於該複數個輸入級放大器之射極端。

7. 如申請專利範圍第1項之多頻帶低雜訊放大器，其中該輸出級放大器係以串疊 (Cascode) 之方式電連於每一輸入級放大器。

8. 如申請專利範圍第1項之多頻帶低雜訊放大器，其中每一輸入級放大器包含至少一雙載子電晶體 (bipolar junction transistor, BJT)，該接收端係為該雙載子電晶體之基極 (base)。

9. 如申請專利範圍第8項之多頻帶低雜訊放大器，其中該輸出級放大器包含至少一雙載子電晶體 (bipolar junction transistor, BJT)，該輸出端係為該雙載子電晶體之集極，該最低阻抗端係為該雙載子電晶體之射極。



六、申請專利範圍

(emitter)。

10. 如申請專利範圍第1項之多頻帶低雜訊放大器，其中每一輸入級放大器包含至少一金屬氧化半導體 (metal-oxide semiconductor, MOS) 電晶體，該輸出級放大器亦包含至少一金屬氧化半導體電晶體。

11. 如申請專利範圍第1項之多頻帶低雜訊放大器，其係應用於一無線通訊系統之接收器 (Receiver) 之中。

12. 一種用於一多頻帶低雜訊放大器中的方法，該多頻帶低雜訊放大器包含複數個輸入級放大器以及一輸出級放大器，該複數個輸入級放大器係分別對應於複數個頻帶模式，該方法包含有：

使用該複數個輸入級放大器分別接收並處理對應於該複數個頻帶模式之複數個輸入訊號；

將該輸出級放大器與該複數個輸入級放大器以串疊 (Cascode) 之方式於該多頻帶低雜訊放大器之至少一最低阻抗點處相連接；以及

使用該輸出級放大器處理並輸出該複數個輸入訊

13. 如申請專利範圍第12項所述之方法，其中於同一時間內，該多頻帶低雜訊放大器只能操作於一頻帶模式之

六、申請專利範圍

下，該方法另包含有：

於一時間內，使用對應於該頻帶模式之一輸入級放大器接收並處理一對應之輸入訊號；以及
使用該輸出級放大器處理並輸出該對應之輸入訊號。

14. 如申請專利範圍第12項所述之方法，其中該複數個輸入級放大器分別包含至少一雙載子電晶體 (bipolar junction transistor, BJT)，該輸出級放大器之至少一最低阻抗點係連接於該複數個雙載子電晶體之集極 (collector)。

15. 如申請專利範圍第14項所述之方法，其中該輸出級放大器包含至少一雙載子電晶體 (bipolar junction transistor, BJT)，該至少一最低阻抗點係對應於該雙載子電晶體之射極 (Emitter)。

16. 如申請專利範圍第12項所述之方法，其中每一輸入級放大器包含一至少金屬氧化半導體 (metal-oxide semiconductor, MOS) 電晶體，該輸出級放大器亦包含至少一金屬氧化半導體電晶體。

17. 如申請專利範圍第12項所述之方法，其中該多頻帶低雜訊放大器係應用於一無線通訊系統之接收器 (Receiver) 之中。

六、申請專利範圍

18. 一種操作於複數個頻帶模式下的多頻帶差動放大器 (Multi-band Differential Amplifier)，其包含有：

複數個輸入級放大器，包含複數個正向 (Positive) 輸入級放大器以及複數個負向 (Negative) 輸入級放大器，每一頻帶模式係對應於一正向輸入級放大器及一負向輸入級放大器，每一正向輸入級放大器包含有一正向接收端，與至少一正向負迴授電路，用來接收該對應之頻帶模式下的一正向輸入訊號；每一負向輸入級放大器包含有一負向接收端，與至少一負向負迴授電路，用來接收該對應之頻帶模式下的一負向輸入訊號；以及一正向輸出級放大器，包含至少一正向最低阻抗端，該正向輸出級放大器係與該複數個正向輸入級放大器以串疊 (Cascode) 之方式，於該至少一正向最低阻抗端處相連接，與一正向輸出負載阻抗用來輸出經處理後之該正向輸入訊號；以及一負向輸出級放大器，包含至少一負向最低阻抗端，該負向輸出級放大器係與該複數個負向輸入級放大器以串疊之方式，於該至少一負向最低阻抗端處相連接，與一負向輸出負載阻抗用來輸出經處理後之該負向輸入訊號。

19. 如申請專利範圍第 18 項之多頻帶差動放大器，其中於該正向輸出級放大器中，該正向最低阻抗端係可視為

六、申請專利範圍

該複數個正向輸入級放大器與該正向輸出級放大器電連後之最低阻抗點。

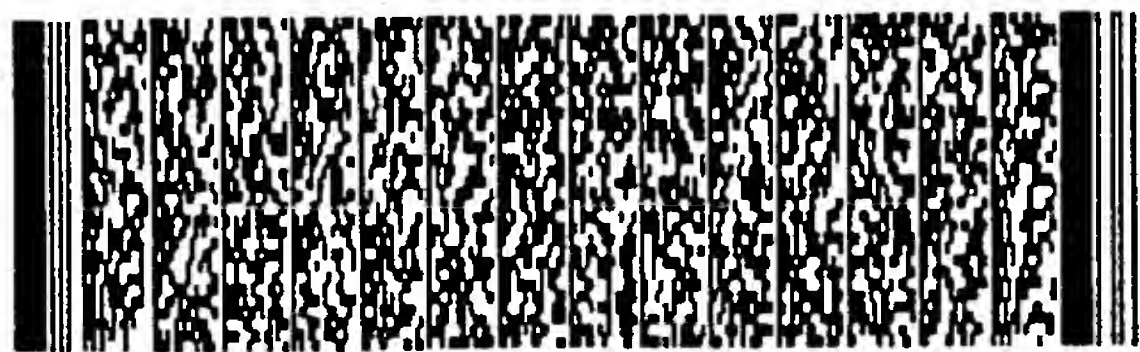
20. 如申請專利範圍第18項之多頻帶差動放大器，其中該正向輸出負載阻抗及該負向輸出負載阻抗係分別為一電感或者一電阻。

21. 如申請專利範圍第18項之多頻帶差動放大器，其中該正向負迴授電路及該負向負迴授電路係分別包含一阻抗，每一阻抗係為一電感或者一電阻。

22. 如申請專利範圍第18項之多頻帶差動放大器，其中該正向負迴授電路係為該複數個正向輸入級放大器所共用，並電連於該複數個正向輸入級放大器之射極端 (Emitter)；該負向負迴授電路係為該複數個負向輸入級放大器所共用，並電連於該複數個負向輸入級放大器之射極端。

23. 如申請專利範圍第18項之多頻帶差動放大器，其中於該負向輸出級放大器中，該負向最低阻抗端係可視為該複數個負向輸入級放大器與該負向輸出級放大器電連後之最低阻抗點。

24. 如申請專利範圍第18項之多頻帶差動放大器，其中

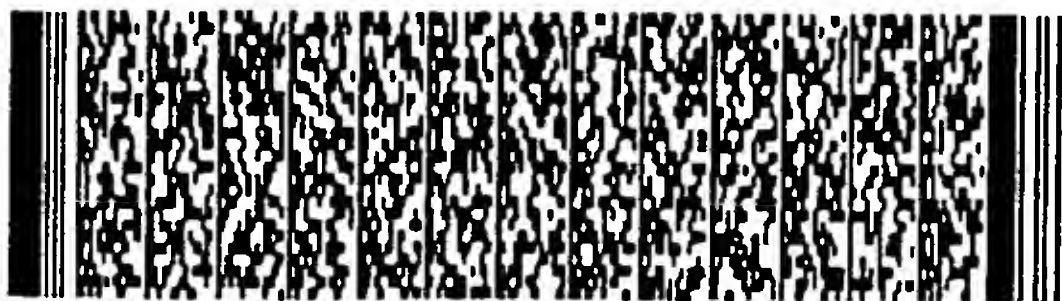


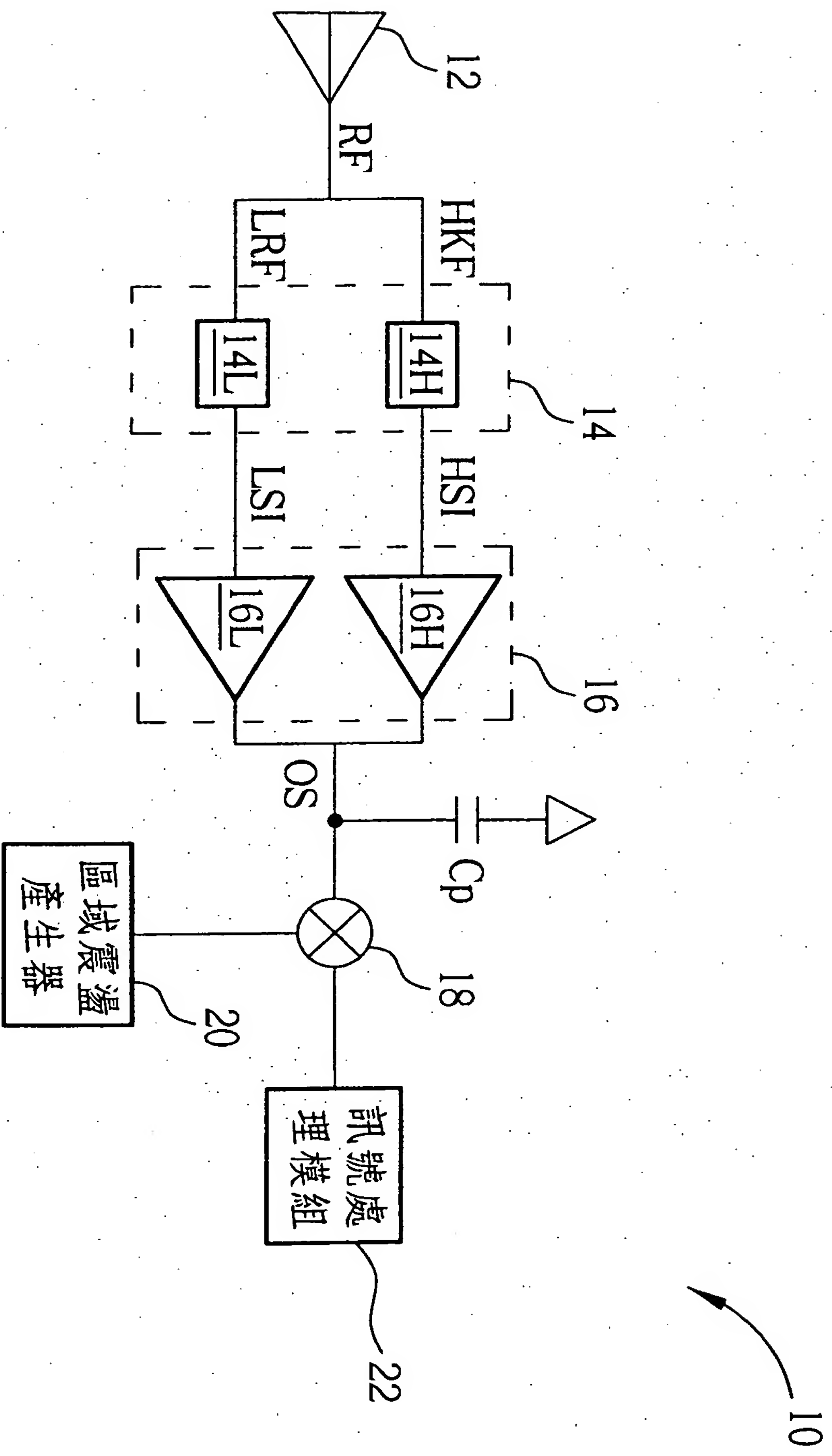
六、申請專利範圍

於同一時間內，該多頻帶差動放大器只能操作於一頻帶模式之下。

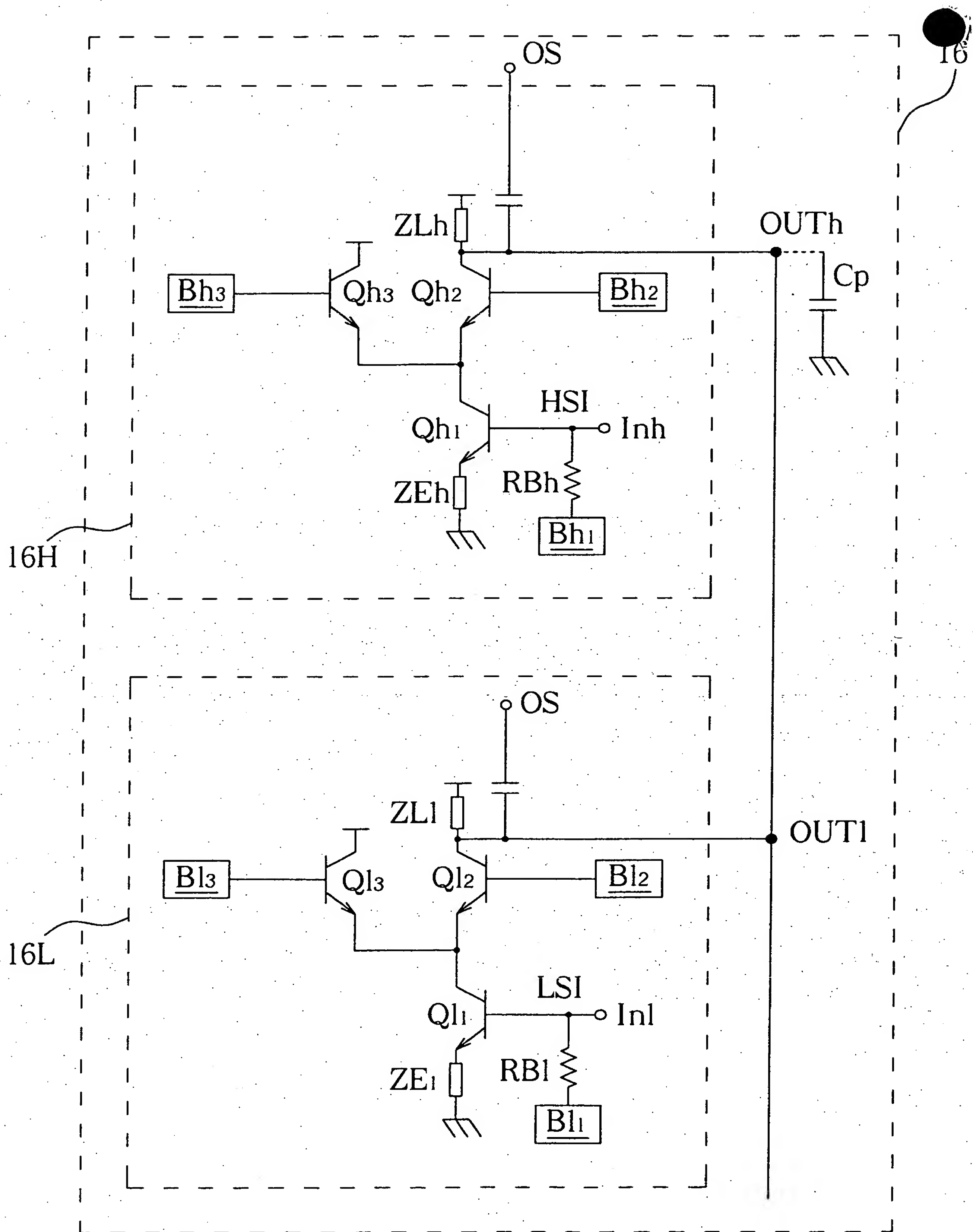
25. 如申請專利範圍第18項之多頻帶差動放大器，其中該多頻帶差動放大器係為一多頻帶低雜訊差動放大器 (Multi-band Low Noise Differential Amplifier)。

26. 如申請專利範圍第18項之多頻帶差動放大器，其中該多頻帶差動放大器係應用於一無線通訊系統之接收器 (Receiver) 之中。

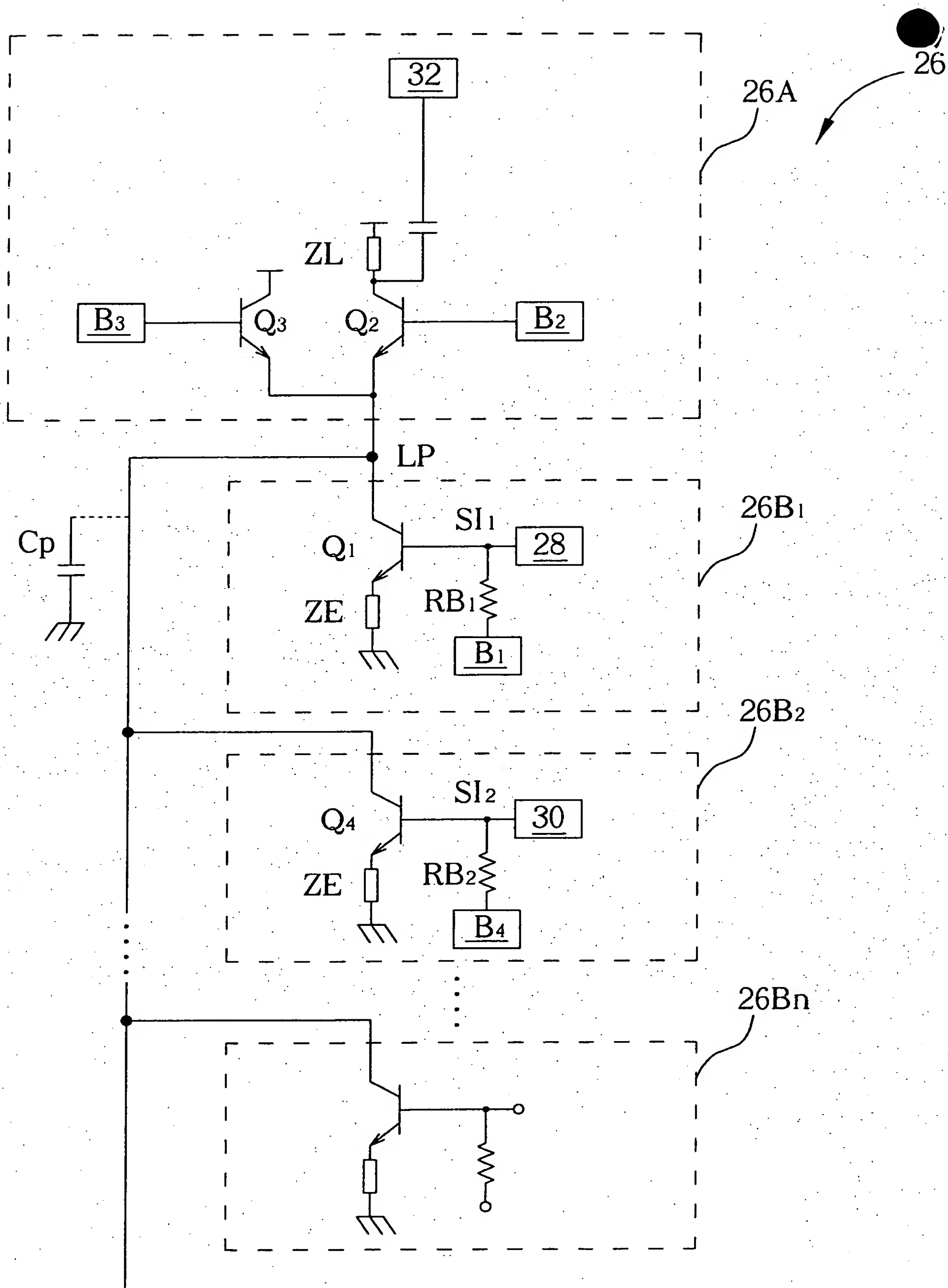




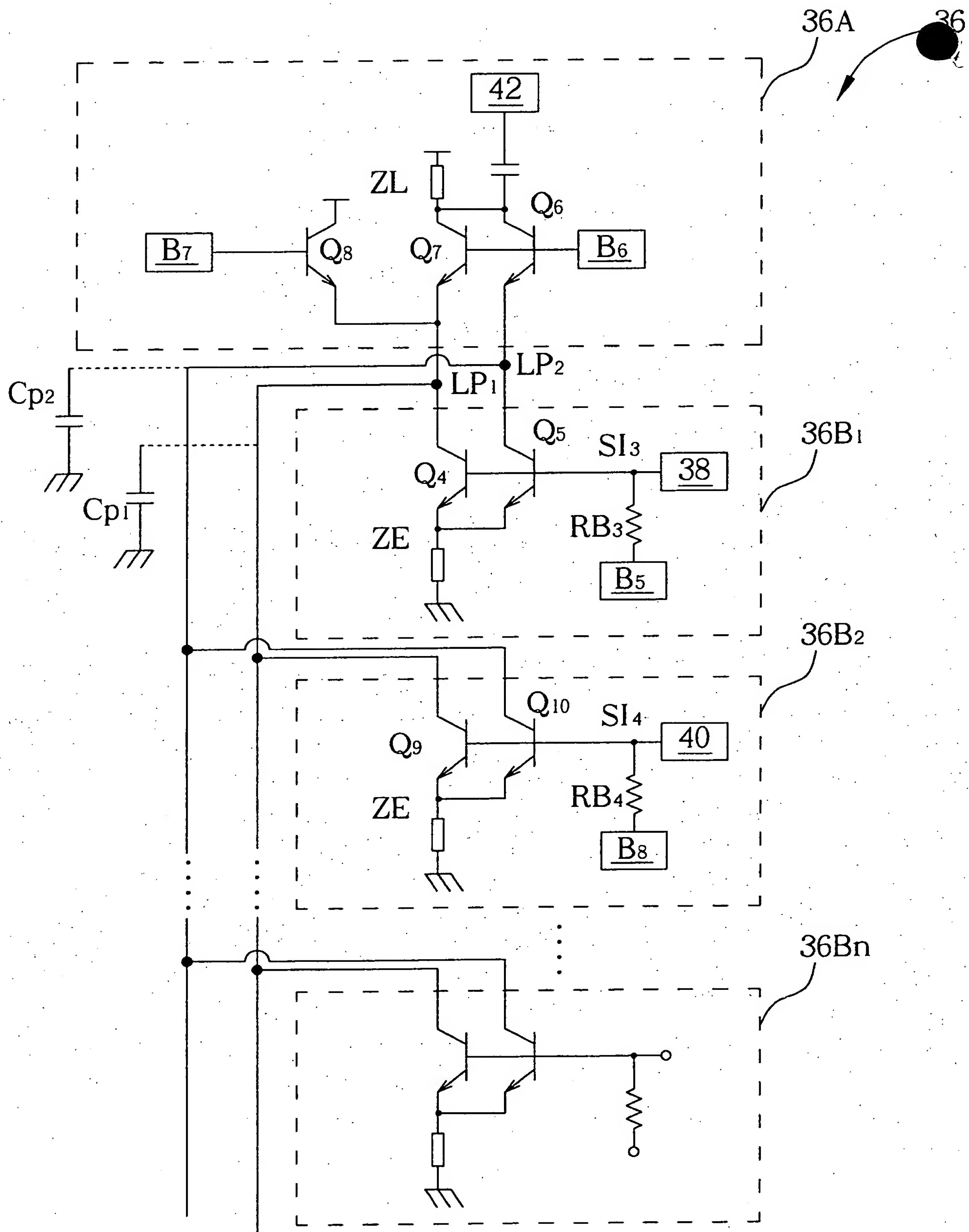
圖一



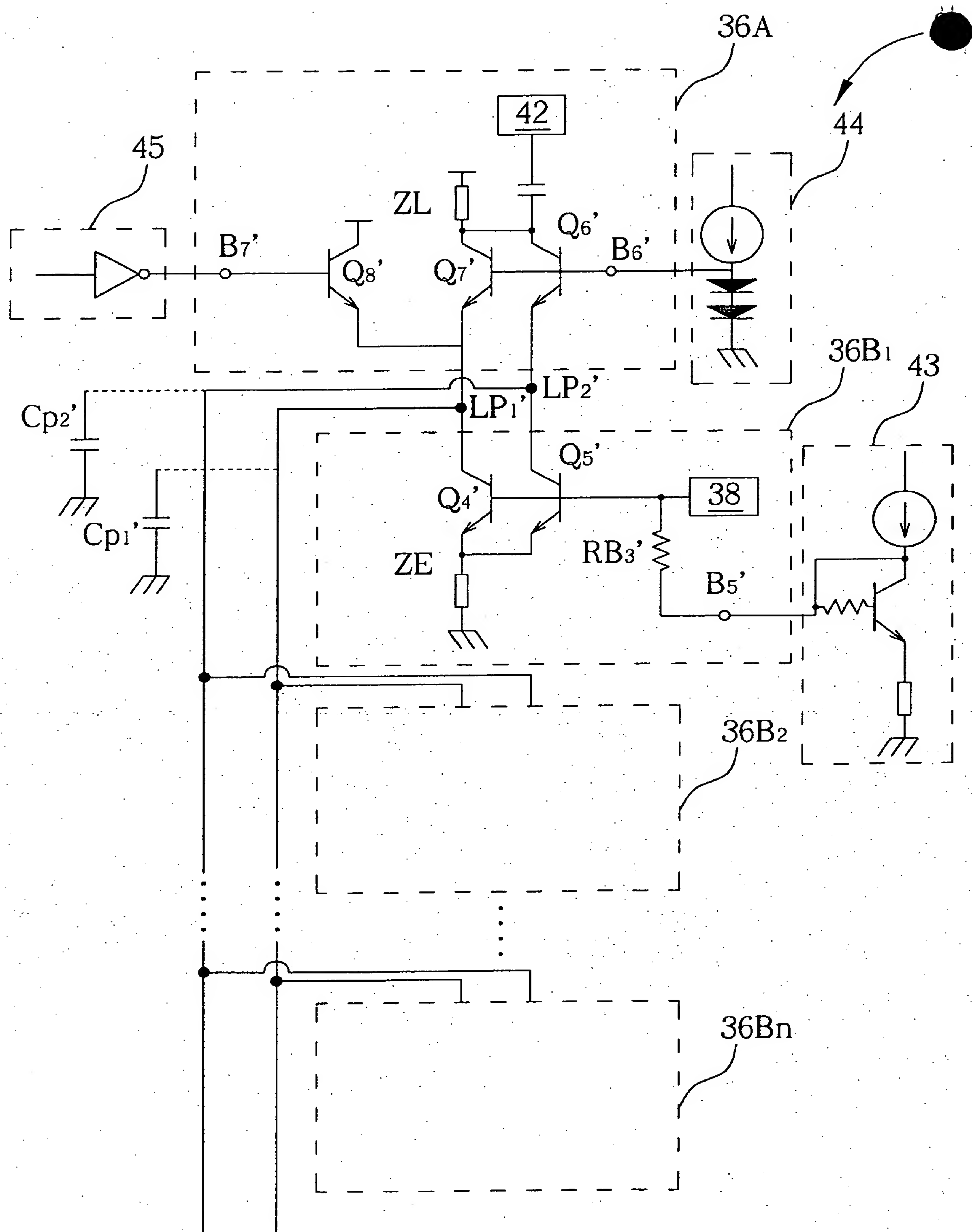
圖二



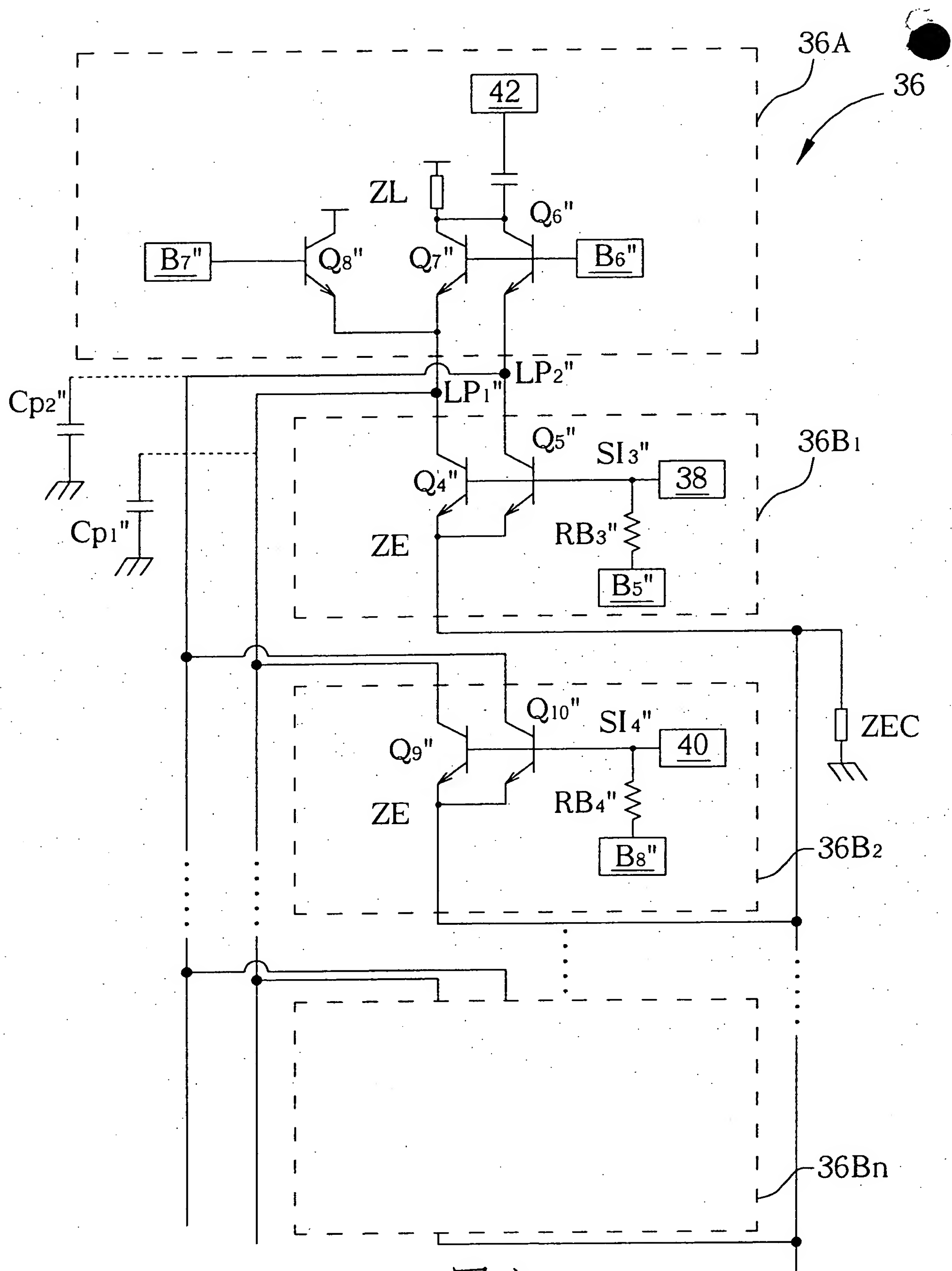
圖三



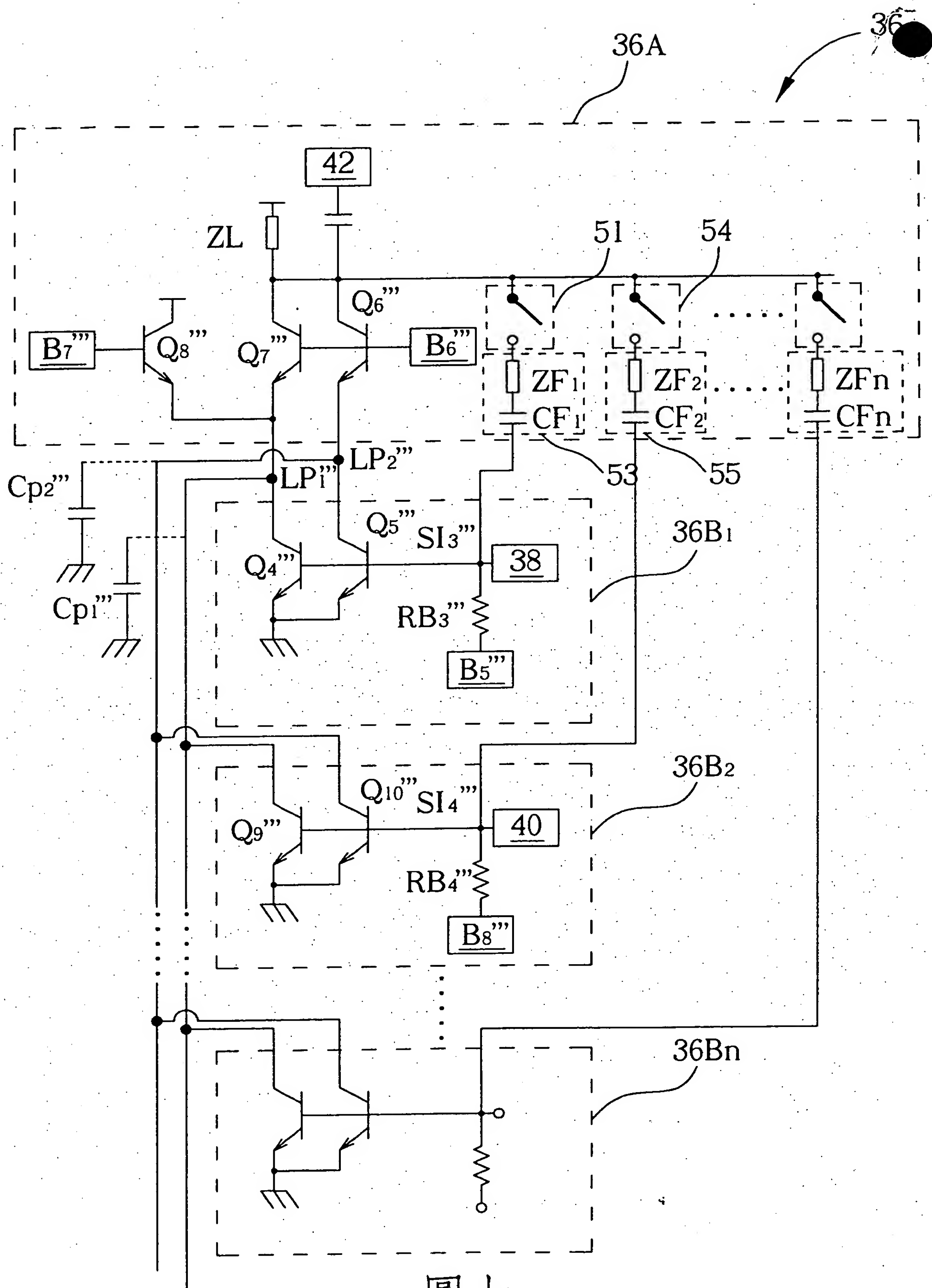
圖四



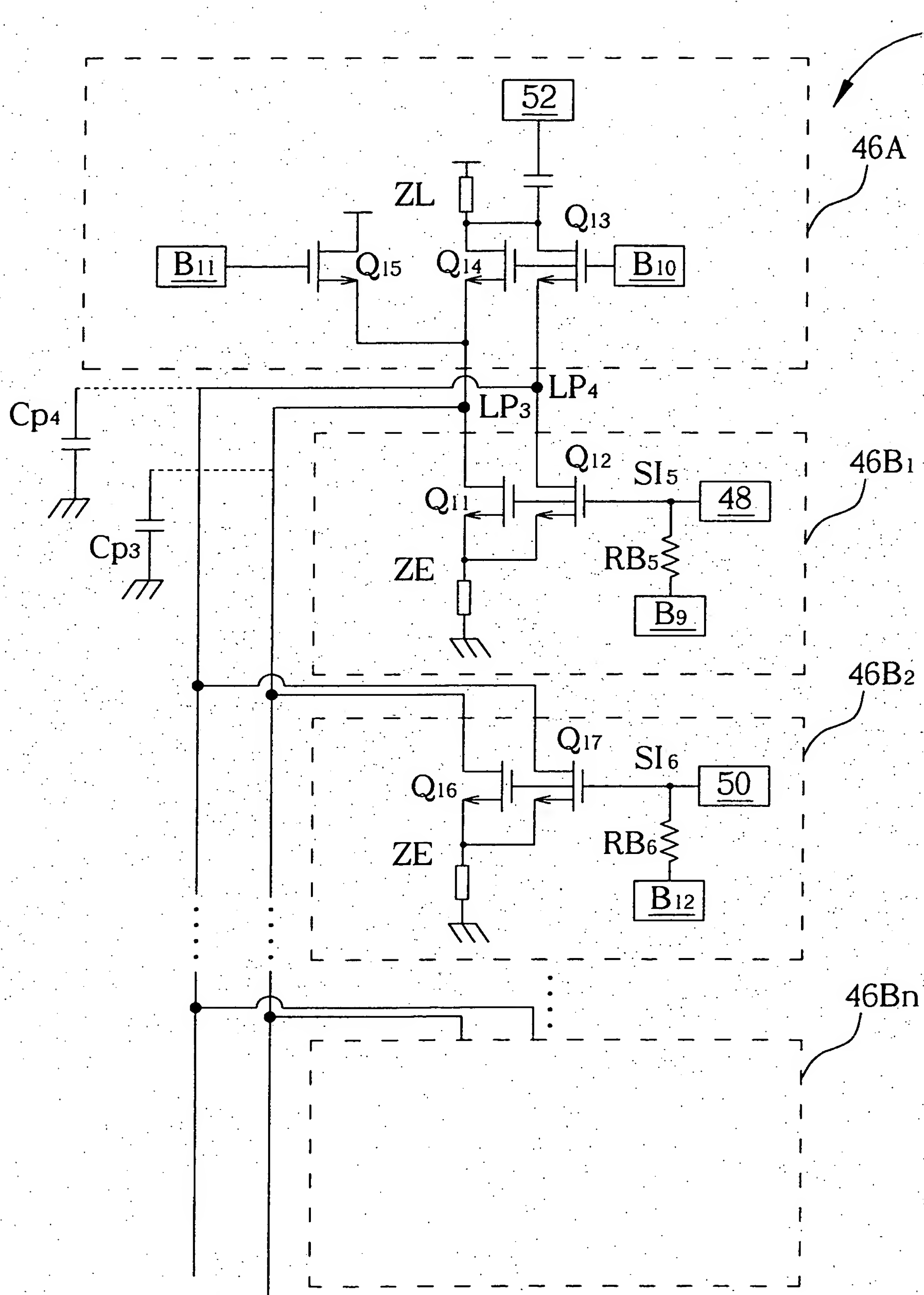
圖五



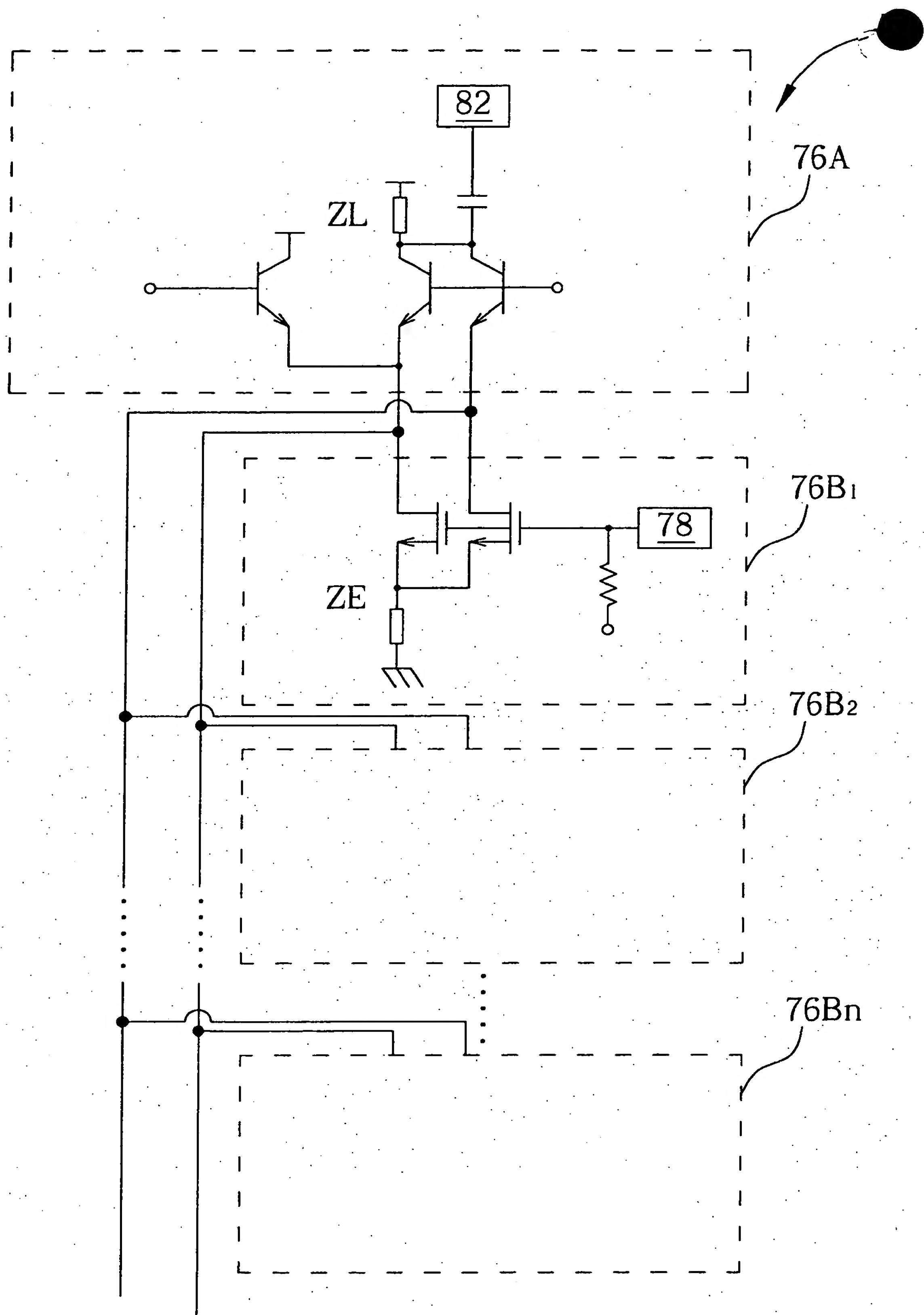
圖六



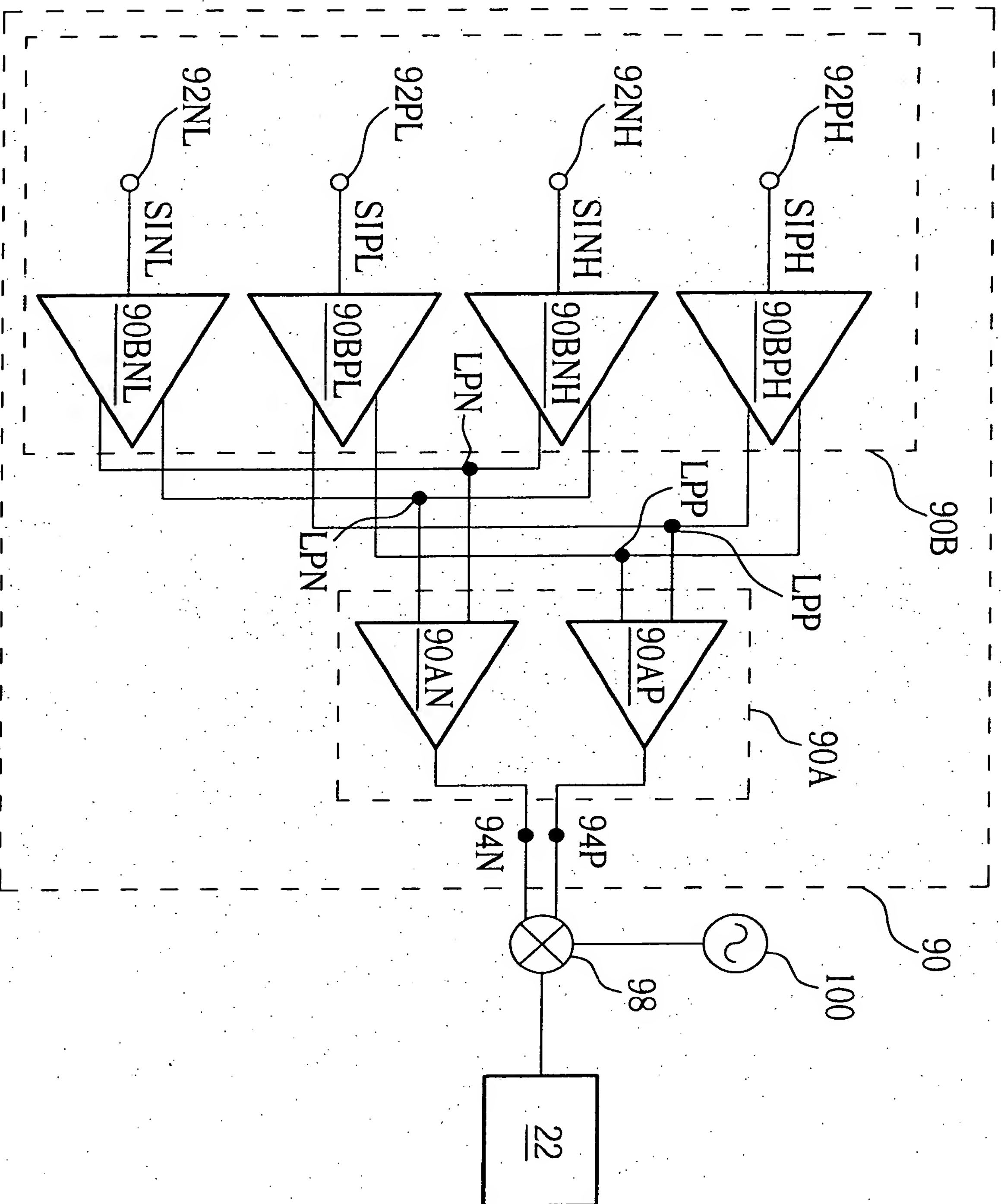
圖七



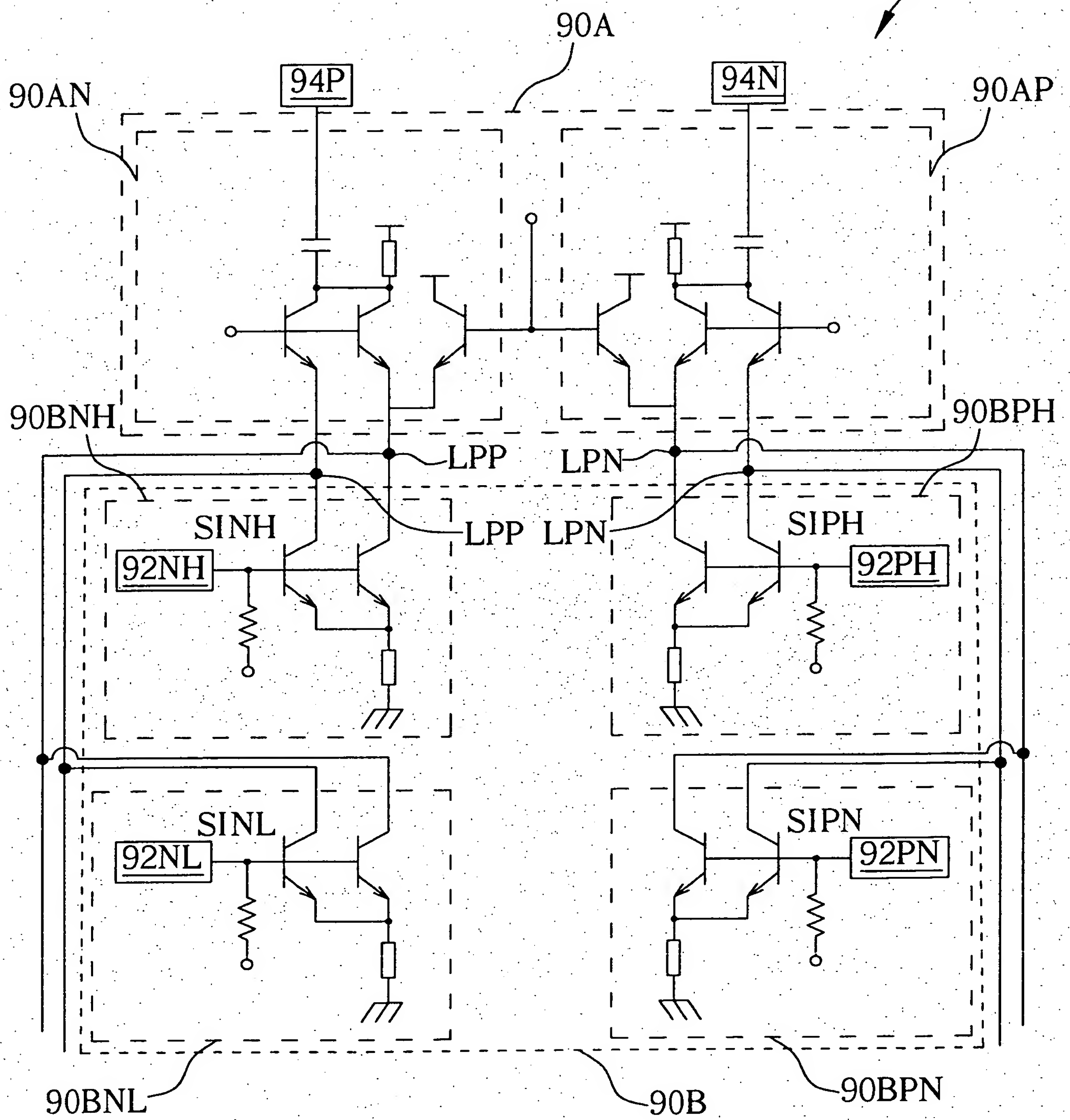
圖八



圖九



圖十



圖十一

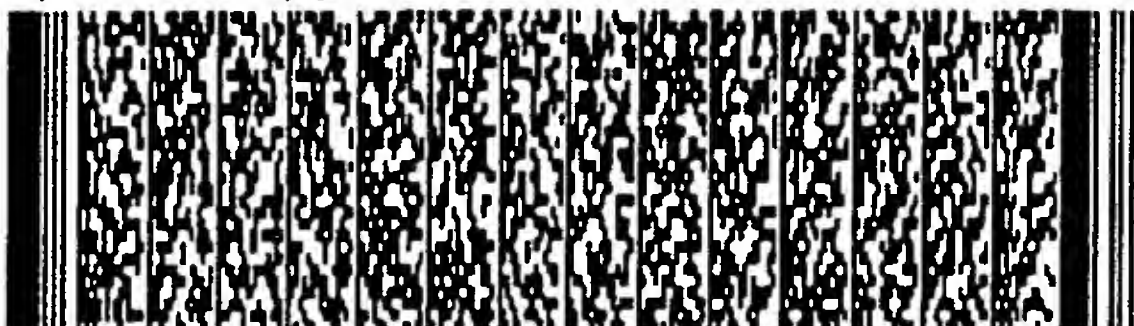
第 1/34 頁



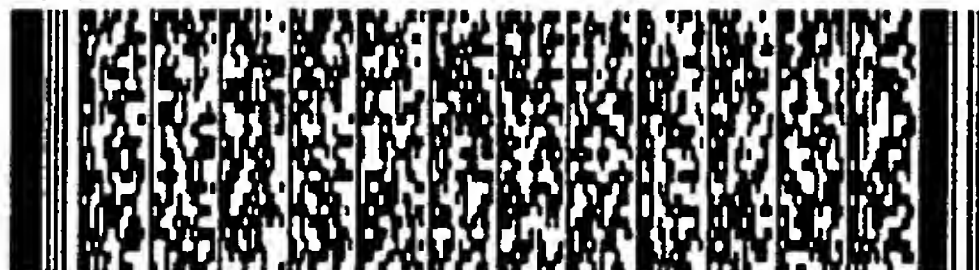
第 2/34 頁



第 2/34 頁



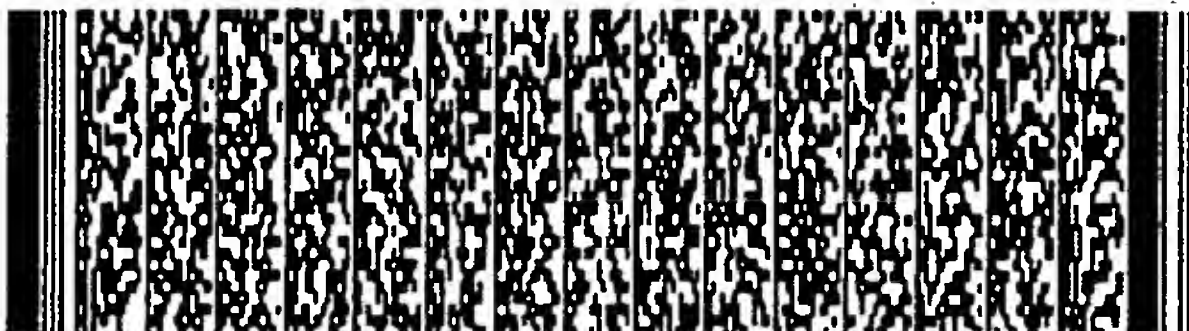
第 3/34 頁



第 4/34 頁



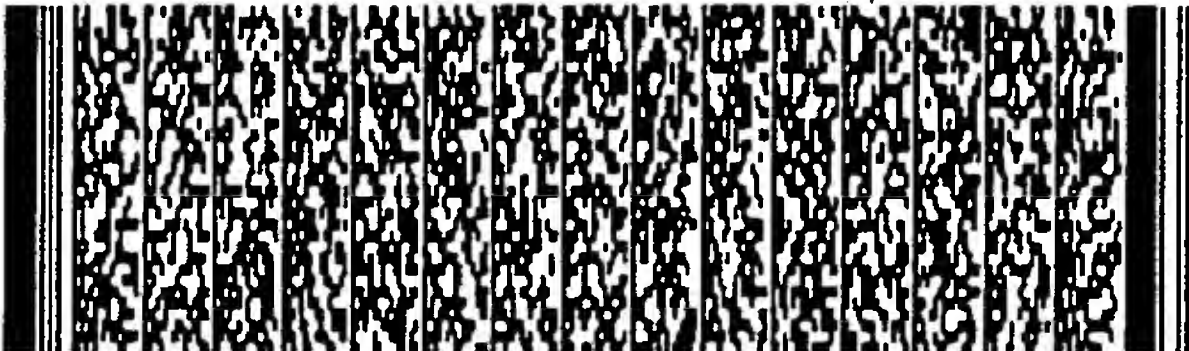
第 5/34 頁



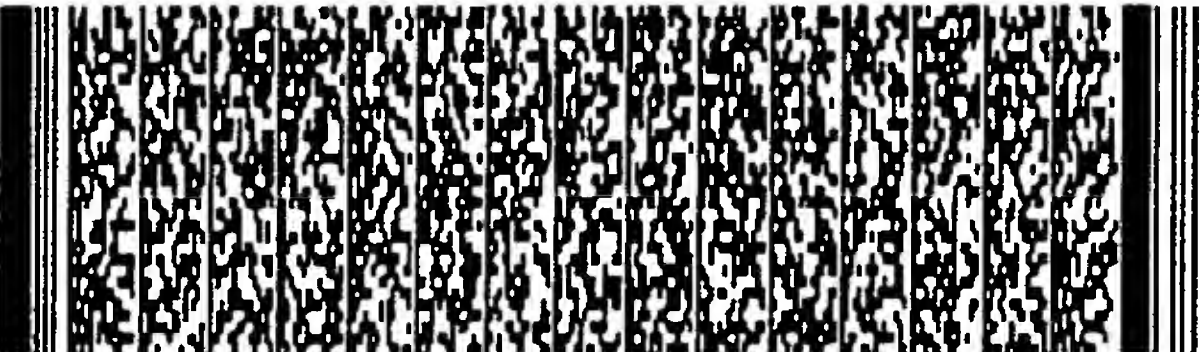
第 5/34 頁



第 6/34 頁



第 6/34 頁



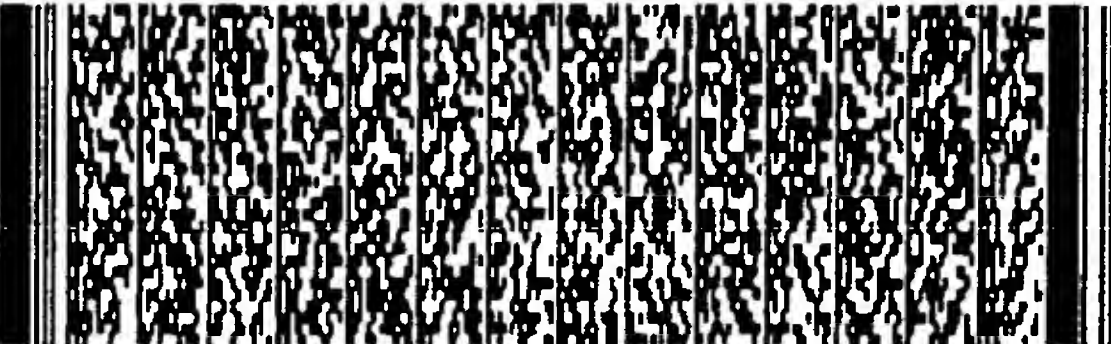
第 7/34 頁



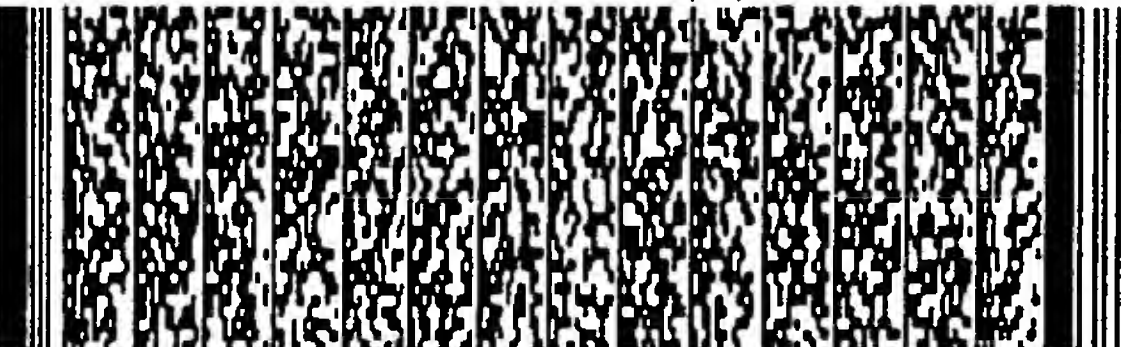
第 7/34 頁



第 8/34 頁



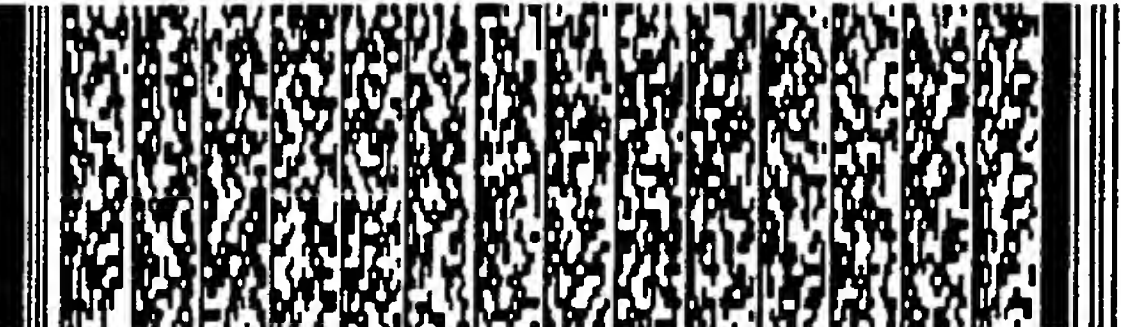
第 8/34 頁



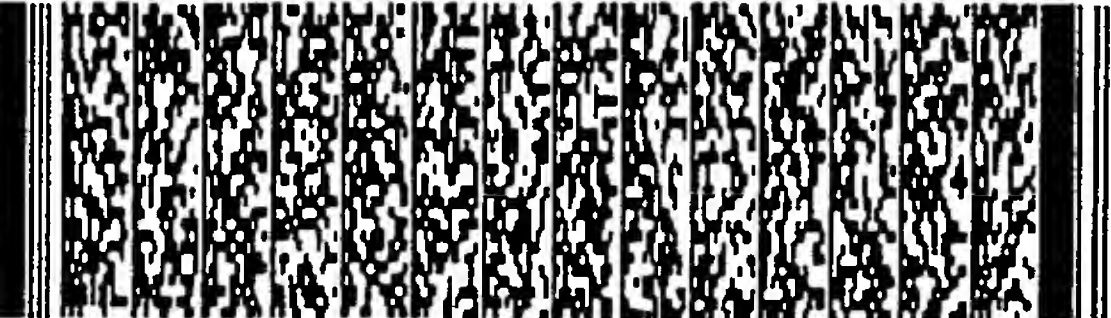
第 9/34 頁



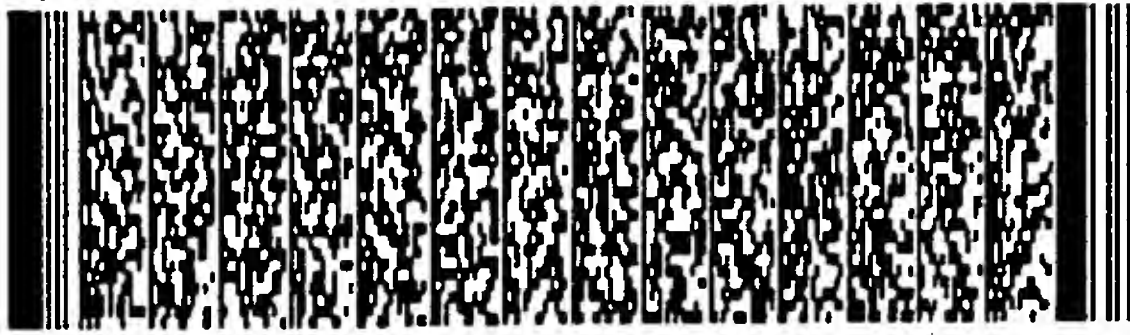
第 9/34 頁



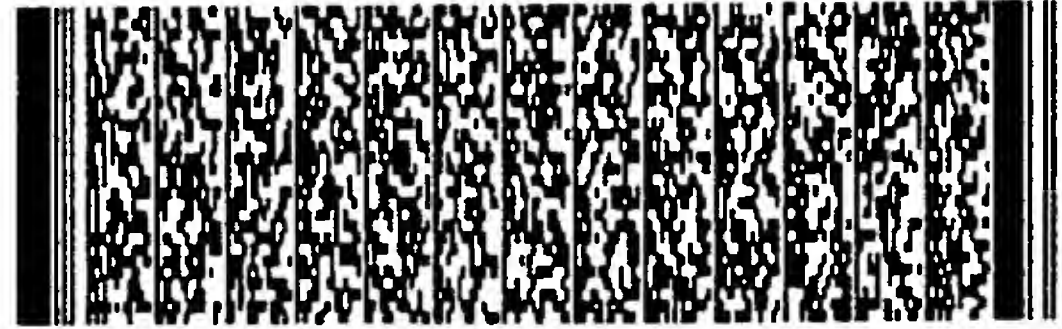
第 10/34 頁



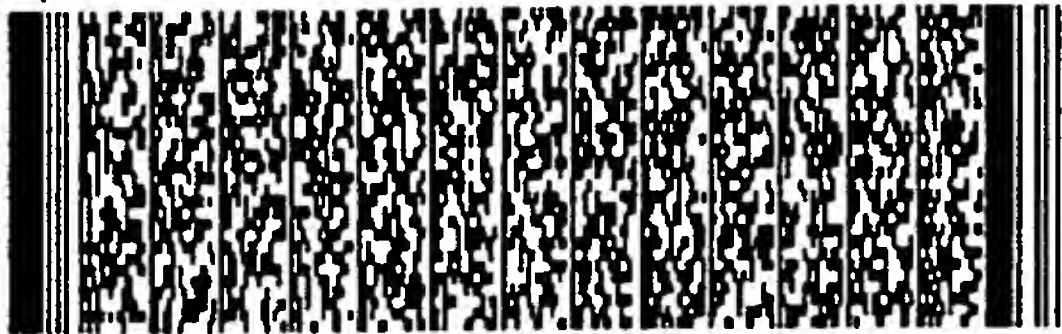
第 10/34 頁



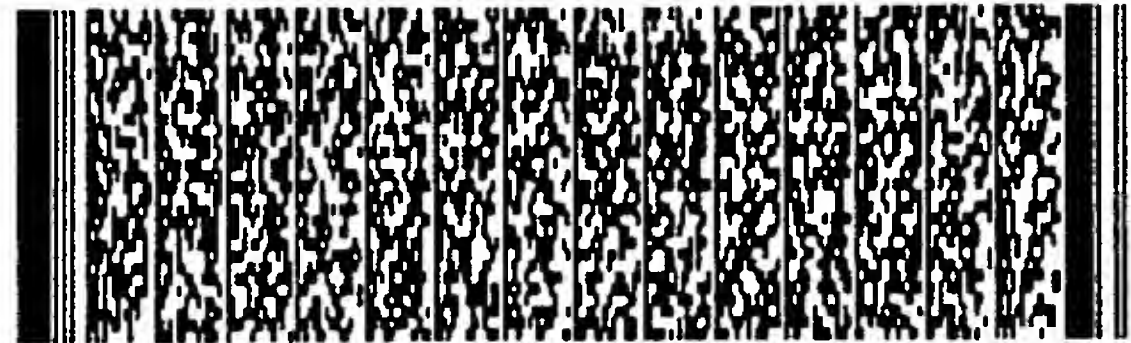
第 11/34 頁



第 11/34 頁



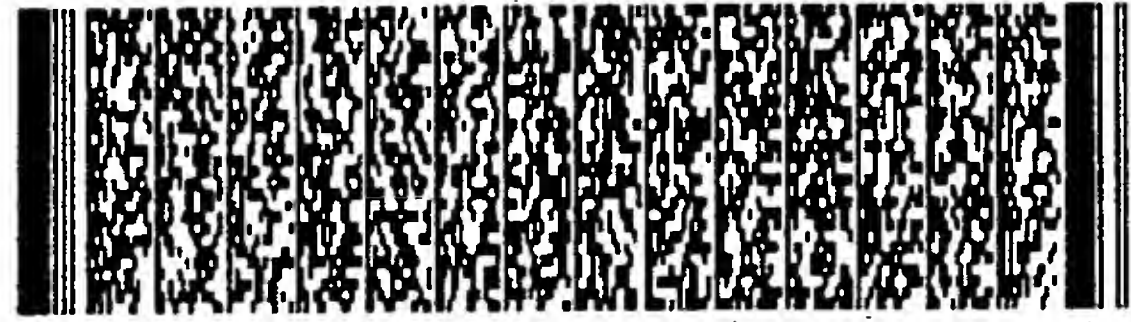
第 12/34 頁



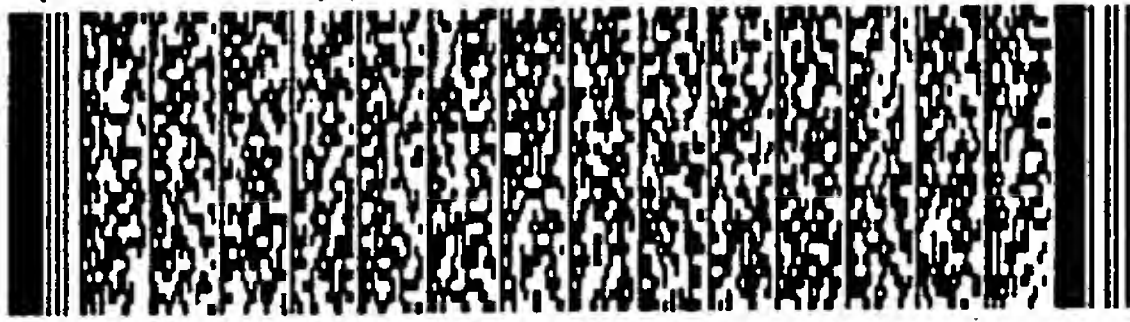
第 12/34 頁



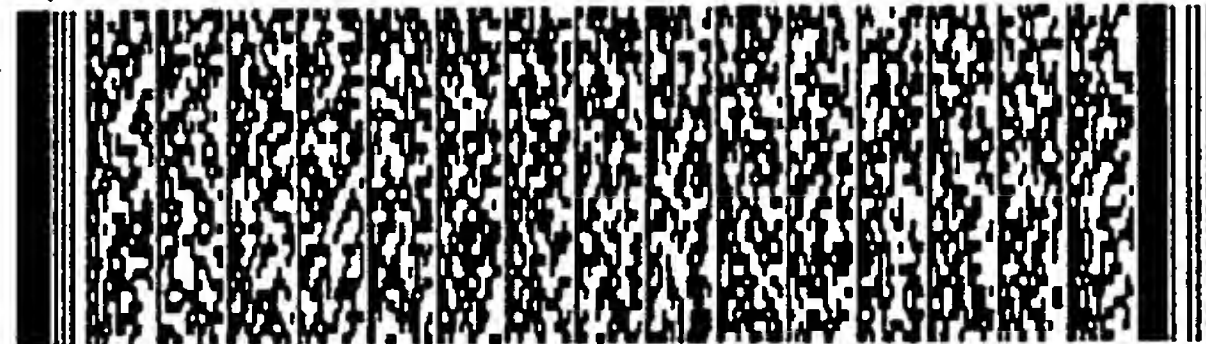
第 13/34 頁



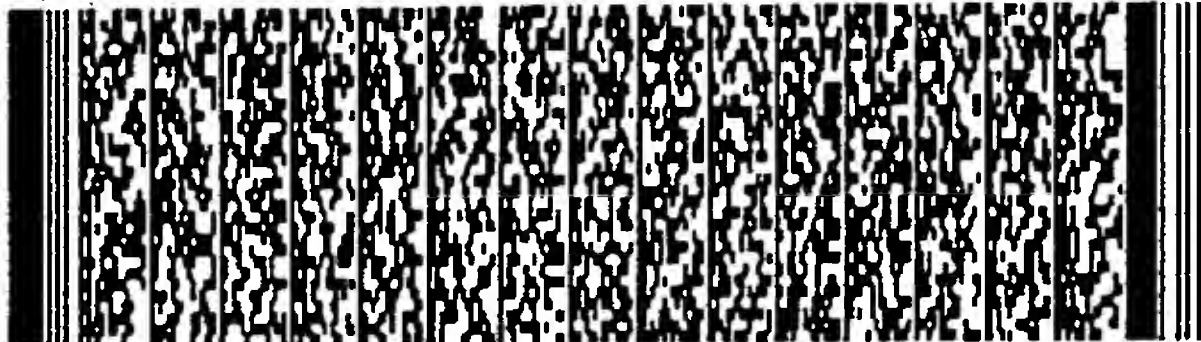
第 13/34 頁



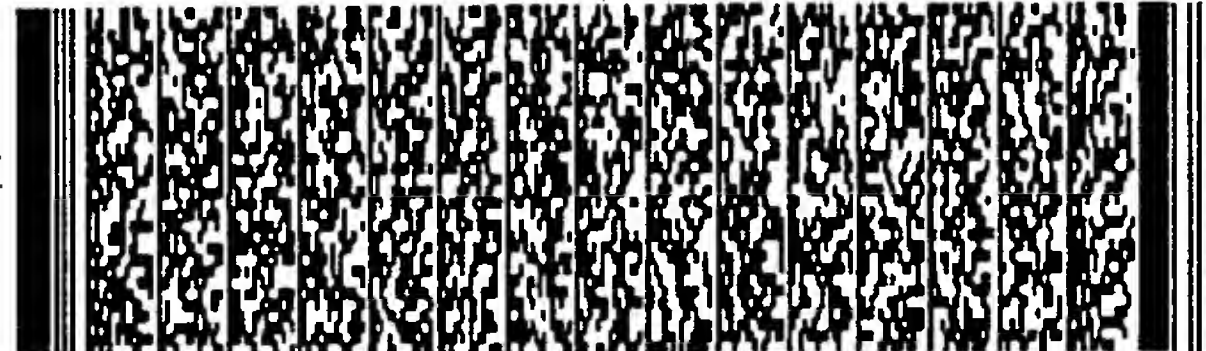
第 14/34 頁



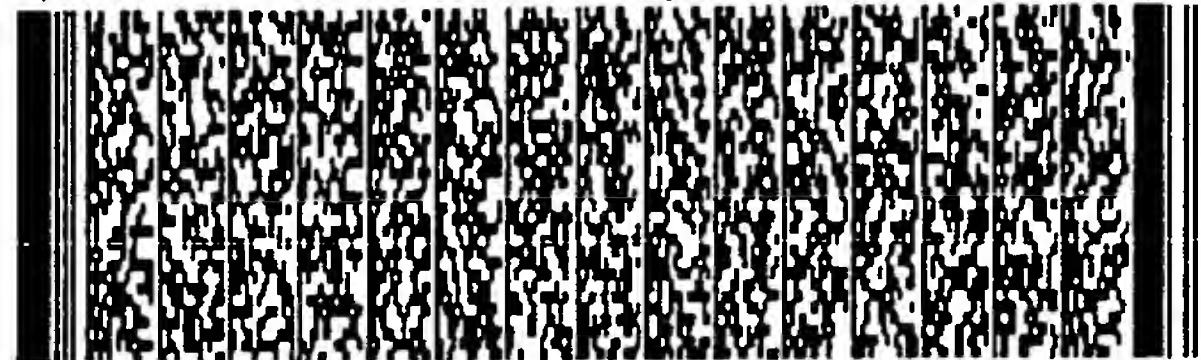
第 14/34 頁



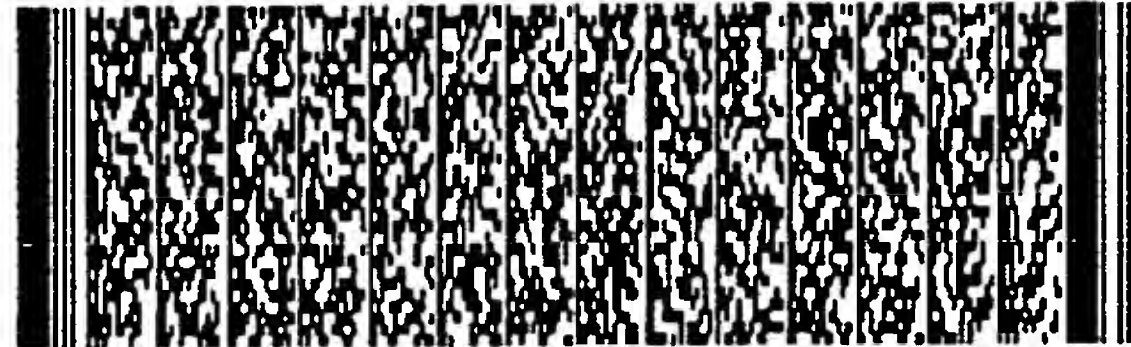
第 15/34 頁



第 15/34 頁



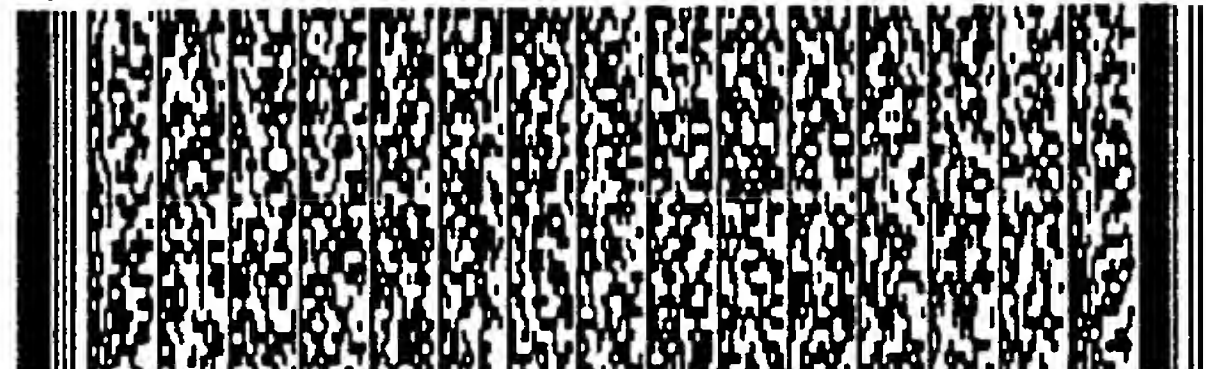
第 16/34 頁



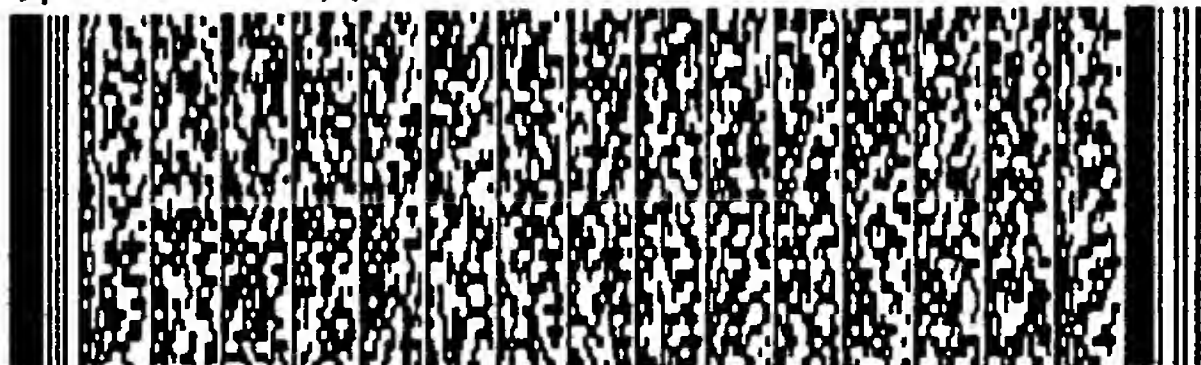
第 16/34 頁



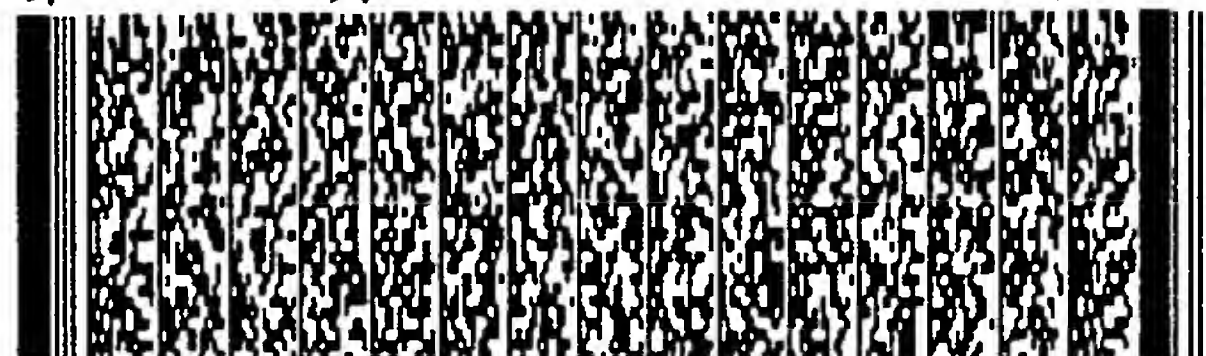
第 17/34 頁



第 17/34 頁



第 18/34 頁



第 18/34 頁



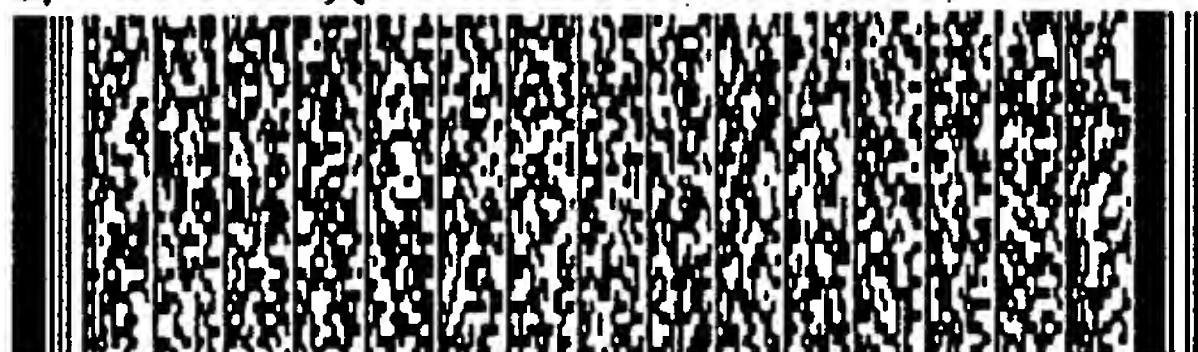
第 19/34 頁



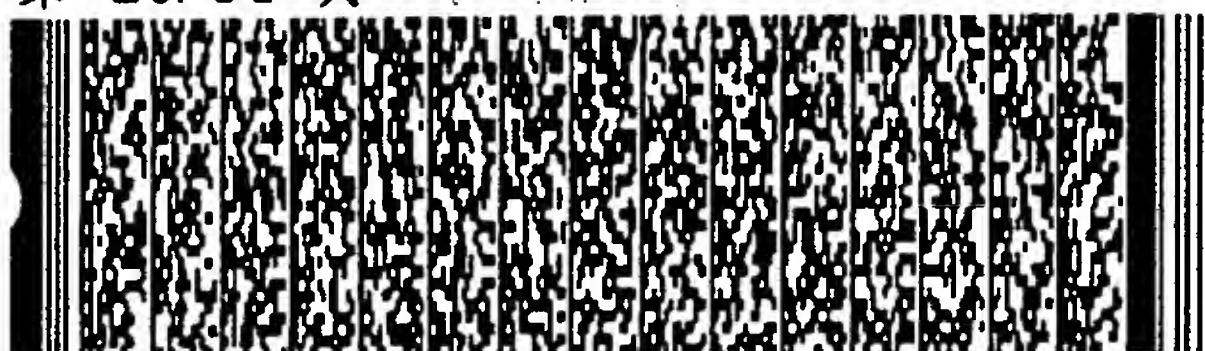
第 19/34 頁



第 20/34 頁



第 20/34 頁



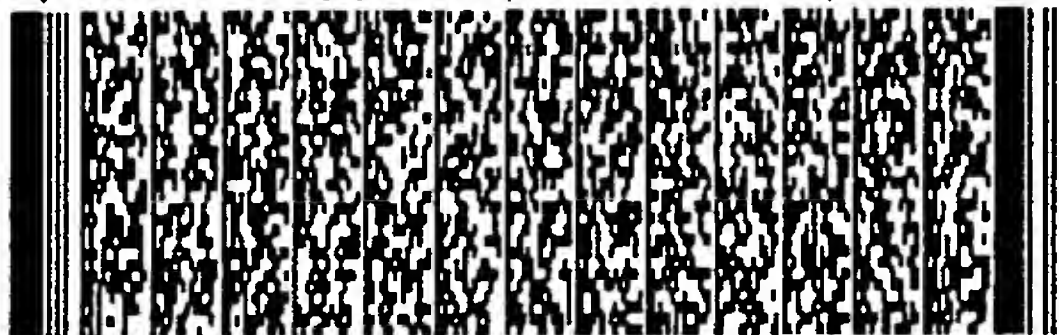
第 21/34 頁



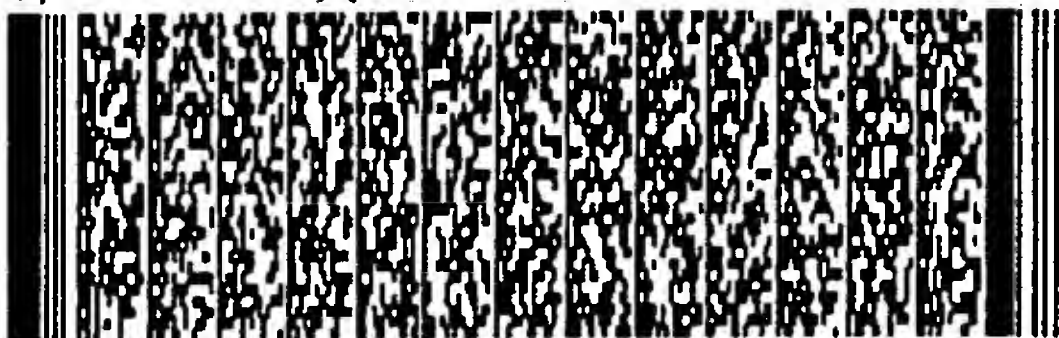
第 21/34 頁



第 22/34 頁



第 22/34 頁



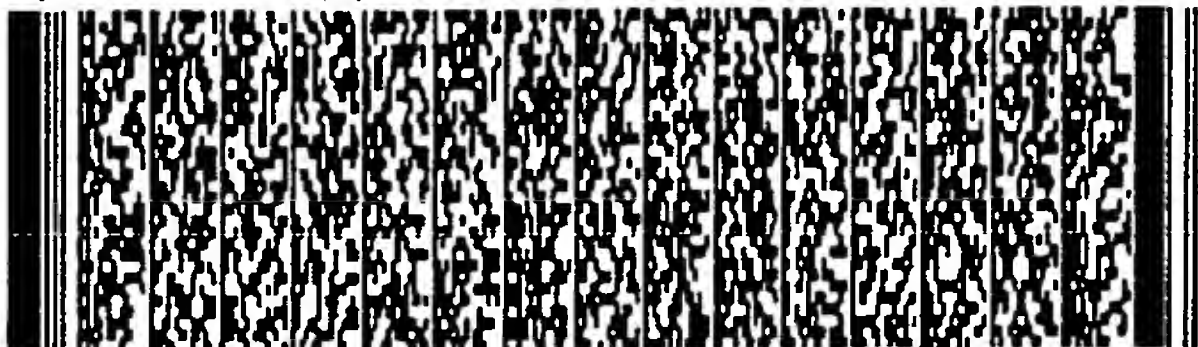
第 23/34 頁



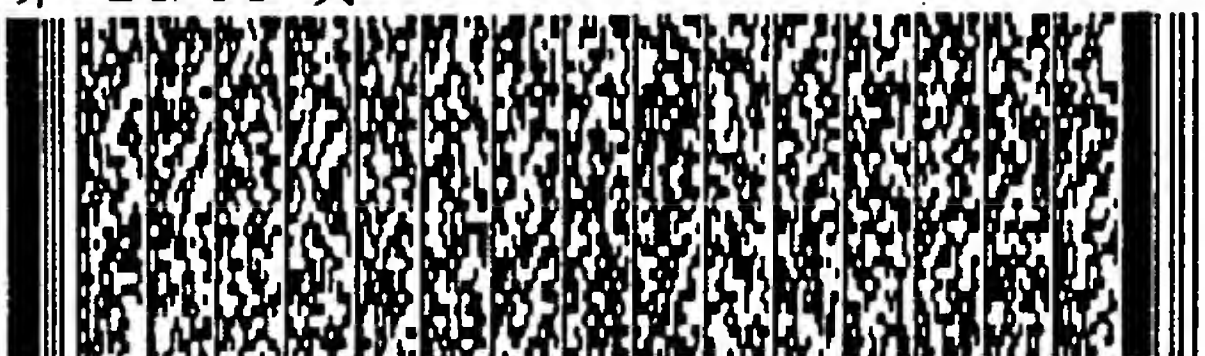
第 23/34 頁



第 24/34 頁



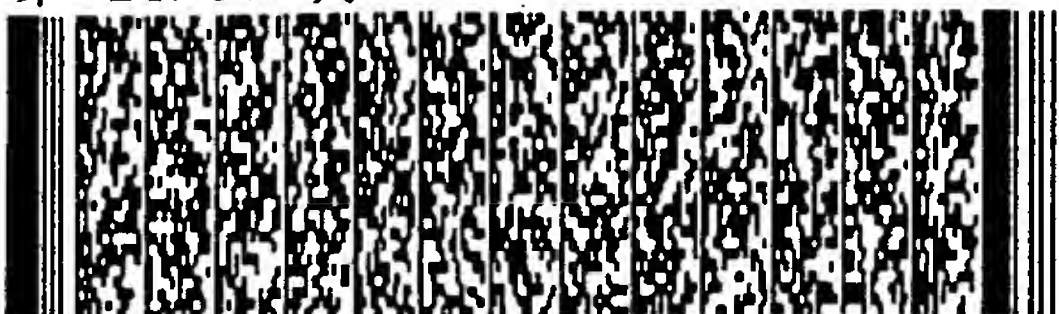
第 24/34 頁



第 25/34 頁



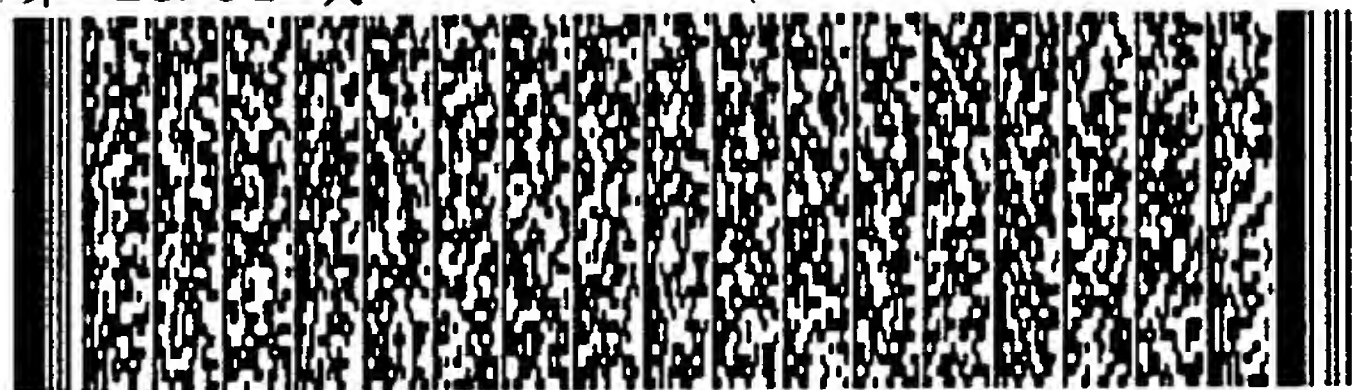
第 26/34 頁



第 27/34 頁



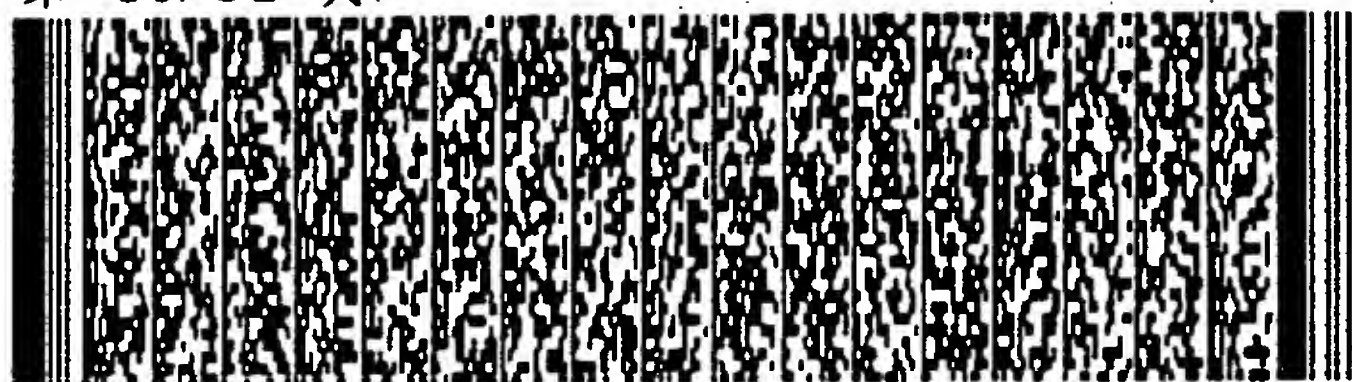
第 28/34 頁



第 29/34 頁



第 30/34 頁



第 31/34 頁



第 32/34 頁



第 33/34 頁



第 34/34 頁

